

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-097906

(43)Date of publication of application : 08.04.1997

(51)Int.Cl.

H01L 29/78  
H03K 19/0944  
H03K 19/20  
H03M 1/34

(21)Application number : 07-296187

(71)Applicant : RICOH CO LTD

(22)Date of filing : 19.10.1995

(72)Inventor : SANO YUTAKA

(30)Priority

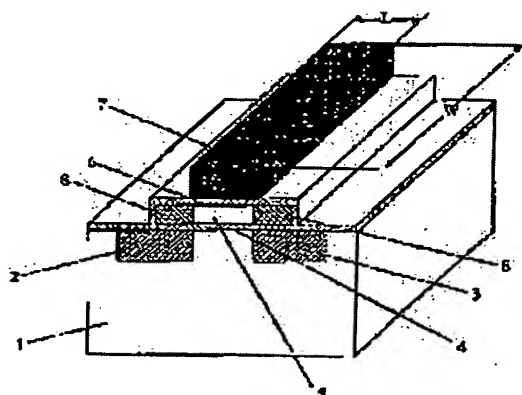
Priority number : 07208380 Priority date : 24.07.1995 Priority country : JP

(54) SEMICONDUCTOR DEVICE AND INVERTER CIRCUIT AND COMPARATOR AND A/D CONVERTER CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To realize a threshold control device having high performance and cope with fining or integration of a device.

SOLUTION: This semiconductor device incorporates a source electrode region 2 and a drain electrode region 3 which are formed by diffusing impurities with high concentration in a semiconductor substrate 1, and further the semiconductor substrate is overlaid with a first gate insulation film 4, a semiconductor area 5 and a second insulation film 6, and the second insulation film 6 with a gate electrode 7, where the semiconductor area 5 includes a semiconductor electrode area 8 functioning as a fourth electrode following the source, drain and gate electrodes.



## \* NOTICES \*

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1]A semiconductor device which is provided with the following and characterized by providing a semiconductor electrode field further in contact with said semiconductor region.

A semiconductor substrate.

A source electrode field and a drain electrode region which were formed in said semiconductor substrate.

The 1st gate dielectric film provided on said semiconductor substrate.

A gate electrode provided on a semiconductor region provided on said 1st gate dielectric film, the 2nd gate dielectric film provided on said semiconductor region, and said 2nd gate dielectric film.

[Claim 2]In the semiconductor device according to claim 1, to said semiconductor electrode field and said gate electrode. By changing respectively independently voltage which impression of voltage is independently possible respectively and is impressed to said semiconductor electrode field, and voltage impressed to said gate electrode, A semiconductor device being controllable in a saturation current value of drain current which flows into said semiconductor substrate surface between said source electrode field and a drain electrode region.

[Claim 3]A semiconductor device, wherein a semiconductor electrode field adjacent to said semiconductor region has the same conductivity type as a source electrode field and a drain electrode region which were provided in said semiconductor substrate in the semiconductor device according to claim 1.

[Claim 4]A semiconductor device forming in the semiconductor device according to claim 1 of a self-alignment process that a semiconductor electrode field adjacent to said semiconductor region, and a source electrode field and a drain electrode region which were provided in said semiconductor substrate are the same.

[Claim 5]A semiconductor device characterized by said semiconductor region being a polycrystalline silicon thin film in the semiconductor device according to claim 1.

[Claim 6]A semiconductor device characterized by said polycrystalline silicon thin film being a polycrystalline silicon thin film crystallized through a solid phase growing process following an amorphous chemically-modified degree and it in the semiconductor device according to claim 5.

[Claim 7]A semiconductor device characterized by said semiconductor substrate being the silicon thin film provided on an insulator layer in the semiconductor device according to claim 1.

[Claim 8]An inverter circuit provided with the semiconductor device according to any one of claims 1 to 7.

[Claim 9]An inverter circuit being controllable when logic inversion voltage changes voltage impressed to a semiconductor electrode field of said semiconductor device in the inverter circuit according to claim 8.

[Claim 10]In the inverter circuit according to claim 8, several semiconductor devices of an n channel type semiconductor device and a p channel type semiconductor device with which conductivity types differ mutually are formed on a semiconductor substrate as said semiconductor device, An inverter circuit constituting complimentary by several semiconductor devices with which conductivity types differ mutually.

[Claim 11]A comparator comprising:

A semiconductor substrate.

A source electrode field and a drain electrode region which were formed in said semiconductor substrate.

The 1st gate dielectric film provided on said semiconductor substrate.

A semiconductor region provided on said 1st gate dielectric film, and the 2nd gate dielectric film provided on said semiconductor region, Have a gate electrode provided on said 2nd gate dielectric film, and a semiconductor device with which a semiconductor electrode field is further provided in contact with said semiconductor region is used, and as said semiconductor device, An inverter circuit constituted complimentary by several semiconductor devices with which several

semiconductor devices of an n channel type semiconductor device and a p channel type semiconductor device with which conductivity types differ mutually are formed on a semiconductor substrate, and conductivity types differ mutually.

[Claim 12]A comparator constituting so that input signal voltages may be impressed to said gate electrode of said semiconductor device and reference voltage may be impressed to a semiconductor electrode field adjacent to said semiconductor region of said semiconductor device in the comparator according to claim 11.

[Claim 13]A comparator characterized by said semiconductor substrate being the silicon thin film provided on an insulator layer in the comparator according to claim 11.

[Claim 14]An A/D converter circuit provided with the comparator according to claim 11 or 12.

---

[Translation done.]

## \* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor device, the inverter circuit, comparator, and A/D converter circuit of an MOS structure.

[0002]

[Description of the Prior Art] It is considered as the functional device which can use the existing silicon process as it is in recent years, and neuron MOS transistors (nuMOS) and EEPROM (Electrically Erasable Programmable Read-Only Memory) are proposed.

[0003] nuMOS is the MOS transistor provided with the function which carries out work equivalent to a nerve cell (neuron) with the element of a simple substance. For example, literature "Nikkei micro device It is shown in the 101st page per month, 1992 - 109-page", and literature "author "Shibata and Omi", Shingaku Giho, ICD93-6, and 39th page - 46 pages (1993-04)" in detail.

[0004] Drawing 29 is a figure showing the example of composition of nuMOS. If drawing 29 is referred to, in nuMOS, the source electrode field 55 and the drain electrode region 56 which the impurity diffused in the semiconductor substrate 57 at high concentration will be formed. On the semiconductor substrate 57, the gate dielectric film 50, the floating gate 48, and the gate dielectric film 51 are formed one by one, and two or more signal input gates 45 and 46 are further formed on the gate dielectric film 51.

[0005] The floating gate 48 is surrounded with the gate dielectric film 50 and 51, the signal input gates 45 and 46 are carrying out capacitive coupling to the floating gate 48, and gate voltage is decided by the element of such composition as the linear combination with dignity. For example, capacitive coupling of the signal input gate 45 and the floating gate 48 is carried out by capacity  $C_1$ , and they are carrying out capacitive coupling of the signal input gate 46 and the floating gate 48 by capacity  $C_2$ .

[0006] In this case, when making into  $V_{g1}$  and  $V_{g2}$  voltage added to the signal input gates 45 and 46, respectively potential, i.e., gate voltage,  $\phi_{IF}$  of the floating gate 48, It becomes  $\phi_{IF} = (C_1 V_{g1} + C_2 V_{g2}) / (C_1 + C_2)$ . When this element serves as OFF when gate voltage  $\phi_{IF}$  is below predetermined threshold voltage  $V_{th}$ , and gate voltage  $\phi_{IF}$  becomes more than predetermined threshold  $V_{th}$ , this element serves as one. As for  $V_{sub}$ , in drawing 29, source voltage and  $V_d$  of substrate voltage and  $V_s$  are drain voltage.

[0007] Drawing 30 is a figure showing the equivalent circuit of a 2 input nu MOS transistor with the structure shown in drawing 29.

Drawing 31 is a figure showing an example of the drain current-gate voltage characteristic of this 2 input nu MOS transistor.

Since it is easy, if capacity  $C_1$  and  $C_2$  are set to "1", respectively, by this 2 input nu MOS transistor, current will flow into the channel part of a transistor by  $(V_{g1} + V_{g2}) / 2 > V_{th}$ . Here, when it considers that  $V_{g1}$  is input voltage and considers that  $V_{g2}$  is control voltage, the threshold voltage of the transistor seen from  $V_{g1}$  will be controlled by  $V_{g2}$ . Although the gate voltage as the whole required for making it flow through a channel part is always constant, when it sees from a certain signal input gate, the threshold voltage on the appearance of the portion there seems to be controlled by voltage of other signal input gates. Thus, in nuMOS of drawing 29, a variable threshold device is realizable.

[0008] nuMOS can be made into the thing of CMOS structure. Drawing 32 (a) and (b) is a top view of nu MOS inverter of CMOS structure, and a sectional view, and drawing 33 is a figure showing the equivalent circuit of nu MOS inverter of CMOS structure. Here, as for 61, a floating gate, and 63 and 64 are gate oxide respectively an input gate and 62.

[0009]Drawing 34 is a figure showing the example of composition of EEPROM. In [ if drawing 34 is referred to ] EEPROM, The source electrode field 58 and the drain electrode region 59 which the impurity diffused in the semiconductor substrate 60 at high concentration are formed, and on the semiconductor substrate 60, The gate dielectric film 52, the floating gate 49, and the gate dielectric film 53 are formed one by one, and the control gate 47 is further formed on the gate dielectric film 53.

[0010]Although the floating gate 49 is surrounded with the gate dielectric film 52 and 53 and the control gate 47 is carrying out capacitive coupling to the floating gate like nuMOS in EEPROM, The very thin portion of thickness is beforehand formed in some gate dielectric film 52, and in a certain bias shape voice, this portion functions as the tunnel oxide film 54, and it is designed so that tunnel current may flow between the drain electrode region 59 and the floating gate 49. Drawing 35 is a representative circuit schematic of EEPROM of drawing 34. Two states exist by the case where there is nothing with the case where the potential of the floating gate 49 has electric charge pouring from the drain 59 by the tunnel current which flows via the tunnel oxide film 54. This state is recognized as a difference of the threshold voltage of the transistor seen from the control gate 47. That is, two values will be among the voltage which needs the control gate 47 to induce sufficient drain current near the semiconductor substrate 60 surface between the source 58 and the drain 59.

[0011]Thus, although both nuMOS and EEPROM are having structure which is not different from the conventional MOS device about the source electrode fields 55 and 58, the drain electrode regions 56 and 59, and the silicon substrates 57 and 60, nuMOS and EEPROM are the points of having a function in which the variable control of the threshold can be carried out, and serve as the conventional MOS device with the heterogeneous thing. EEPROM is already put in practical use in the logical circuit.

It is expected as a flash memory from now on as a new memory device which changes to a hard disk.

on the other hand, nuMOS is applied to a memory circuit etc. and attracts attention in that it can be markedly alike and an element number can be reduced as compared with the circuit constituted from conventional CMOS.

[0012]

[Problem(s) to be Solved by the Invention]By the way, clearly from the explanation mentioned above, the threshold of nuMOS is determined by the capacity between two or more input gates and a floating gate, therefore the threshold of a transistor is controlled with the area of a gate. That is, the micro-processing accuracy on a process will determine the accuracy of the analog circuit performance of this device as it is. The influence of fluctuation on this process is quite great compared with the case of the conventional MOS transistor, and this problem will become more serious as the minuteness making of a device progresses.

[0013]Since nuMOS must provide the overlapping portion between an input gate and a floating gate so that capacitive coupling may not be carried out to the channel part of a MOS transistor, it is not a thing of the structure to which the device spread in two dimensions and originally fitted high integration inevitably. Therefore, although it had a highly efficient function in which a threshold is controllable to variable, there was a problem that it did not have structure corresponding to the minuteness making of a device and high integration.

[0014]While a highly efficient threshold control device is realizable, an object of this invention is it to provide a possible semiconductor device and an inverter circuit and also a comparator, and an A/D converter circuit to also make it correspond to the minuteness making of a device, and high integration.

[0015]

[Means for Solving the Problem]To achieve the above objects, in the invention according to claim 1 to 7. A semiconductor substrate, and a source electrode field and a drain electrode region which were formed in a semiconductor substrate, A semiconductor region provided on the 1st gate dielectric film provided on a semiconductor substrate, and the 1st gate dielectric film, It had the 2nd gate dielectric film provided on a semiconductor region, and a gate electrode provided on the 2nd gate dielectric film, has a semiconductor electrode field in contact with a semiconductor region, and has composition which can change respectively independently voltage impressed to a semiconductor electrode field and a gate electrode. When this changes voltage impressed to a semiconductor electrode field independently of voltage impressed to a gate electrode, it becomes possible to control a saturation current value of drain current which flows into a semiconductor substrate surface between a source electrode field and a drain electrode region.

[0016]An inverter circuit consists of inventions according to claim 8 to 10 using the semiconductor device according to any one of claims 1 to 7. Thereby, this inverter circuit can be controlled by changing voltage which impresses logic inversion voltage to a semiconductor electrode field of said semiconductor device.

[0017]By the invention according to claim 10, especially an inverter circuit, As a semiconductor device, several semiconductor devices of an n channel type semiconductor device and a p channel type semiconductor device with which conductivity types differ mutually are formed on a semiconductor substrate, and are constituted complimentary by several

semiconductor devices with which conductivity types differ mutually. Thereby, stabilization and low power consumption of performance of operation can be attained, and a circuit which was more suitable for LSI-ization can be provided.

[0018]According to claim 11 and the invention according to claim 12, it has the conventional MOS transistor and an extremely similar electric conduction mechanism. And since a comparator is constituted by complimentary combination of p channel which are 4 terminal elements into which a saturation drain current value is changeable, and n channel device, The structure is far simple compared with the conventional thing, and can provide a highly efficient comparator compared with the conventional comparator.

[0019]According to the invention according to claim 13, since a semiconductor substrate is the silicon thin film provided on an insulator layer, it can raise performance of a comparator further.

[0020]The A/D converter circuit according to claim 14 becomes able [ consumption ] to operate at high speed and with high precision, and for consumption of electric power to be high-density and to produce few flash plate type A/D converters on LSI from having claim 11 and the comparator according to claim 12.

[0021]Thus, in this invention, a highly efficient device is realizable within the limits of the conventional silicon process.

[0022]

[Embodiment of the Invention]Drawing 1 and drawing 2 are the figures showing the example of composition of the semiconductor device concerning this invention. Drawing 1 is a perspective view and drawing 2 is a sectional view. Reference of drawing 1 and drawing 2 forms the source electrode field 2 and the drain electrode region 3 where the impurity diffused this semiconductor device in high concentration at the semiconductor substrate 1. On the semiconductor substrate 1, the 1st gate dielectric film 4, the semiconductor region 5, and the 2nd gate dielectric film 6 are formed, and the gate electrode 7 is formed on the 2nd gate dielectric film 6.

[0023]Here, the semiconductor electrode field 8 which functions as the 4th electrode that ranks second to a source drain gate electrode is formed in the semiconductor region 5. This semiconductor electrode field 8 has the same conductivity type as the source electrode field 2 and the drain electrode region 3 which are formed, for example in the semiconductor substrate 1, and like the after-mentioned, For example, production by the same self-alignment process (self-align process) as the source electrode 2 and the drain electrode region 3 is possible, and in this case, as shown in drawing 1 and drawing 2, it is made to consistent with the source electrode field 2 and the drain electrode region 3, and is formed.

[0024]More specifically, the semiconductor region 5 is a polycrystalline silicon thin film (preferably), for example. Are the polycrystalline silicon thin film crystallized through the solid phase growing process following an amorphous chemically-modified degree and it, and the semiconductor electrode field 8, For example, it is formed in a part of this semiconductor region 5 of a self-alignment process by diffusing the high concentration impurities of the same conductivity type as the source electrode field 2 and the drain electrode region 3.

[0025]As the semiconductor substrate 1, a silicon wafer can also be used and a SOI (Silicon On Insulator) wafer can also be used.

[0026]It can be realized that the structure of the semiconductor device of drawing 1 and drawing 2 is equivalent to what provided the semiconductor region into the gate dielectric film of the conventional MOSFET (MOS field effect transistor). In nuMOS or EEPROM, it is thoroughly surrounded with gate dielectric film, the semiconductor electrode, i.e., the floating gate, which diffused the impurity in high concentration, To being floating electrically insulated from the exterior thoroughly in the usual state, in the semiconductor device of drawing 1 and drawing 2. The semiconductor region 5 is surrounded by the gate dielectric film 4 and 6 and the semiconductor electrode field 8, and nuMOS, EEPROM, and the semiconductor device of drawing 1 and drawing 2 are structurally different in that arbitrary voltage can be impressed to this semiconductor region 5 from the exterior by the semiconductor electrode field 8.

[0027]Next, the principle of operation of the semiconductor device of drawing 1 and drawing 2 is explained. In the semiconductor device of drawing 1 and drawing 2, the surface of the semiconductor substrate 1 between the source electrode field 2 and the drain electrode region 3 functions as the channel region CH, and drain current flows through it via this channel region CH between the source electrode field 2 and the drain electrode region 3. The size of this drain current changes with the sizes of the voltage impressed to the source electrode field 2, the drain electrode region 3, and the gate electrode 7, respectively. It changes with the sizes of the voltage impressed to the semiconductor electrode field 8 (it is henceforth called the 2nd gate electrode) provided in contact with the semiconductor region 5.

[0028]If it puts in another way, when the semiconductor device of drawing 1 and drawing 2 will become a thing of an equivalent circuit as shown in drawing 3 and source voltage, drain voltage, and gate voltage will be made into  $V_s$ ,  $V_d$ , and  $V_g$ . When making into  $V_h$  voltage which can control the size of current (drain current) by the size of  $V_s$ ,  $V_d$ , and  $V_g$ , and is added to the semiconductor electrode field 8, i.e., the 2nd gate electrode, with it, The size of current (drain current) is controllable also by the size of  $V_h$ . Namely, in nu MOS device shown in drawing 29. The semiconductor electrode which

diffused the impurity in high concentration is surrounded with gate dielectric film, In the ordinary state, to existing by floating electrically insulated from the exterior thoroughly, a semiconductor region is surrounded by gate dielectric film and the semiconductor electrode field, and arbitrary voltage can be impressed to this semiconductor region from the exterior with the semiconductor device by this invention. In drawing 2,  $V_{sub}$  is substrate voltage.

[0029]It is supposed that the semiconductor device of drawing 1 and drawing 2 is for example, n channel type device now, The source electrode field 2 shall be grounded ( $V_s=0V$ ), gate voltage  $V_g$  shall be impressed to the gate electrode 7, and the inversion layer shall be formed in the semiconductor substrate 1 surface CH, i.e., the channel region, between the source electrode field 2 and the drain electrode region 3.

[0030]In this case, when voltage  $V_h$  impressed to the 2nd gate electrode 8 is large enough, the semiconductor region 5 inserted into the two gate dielectric film 4 and 6 is depletion-ized thoroughly. Drawing 4 is a figure showing the relation between the drain current at this time, and drain voltage.

[0031]When voltage  $V_h$  big enough is impressed to the 2nd gate electrode 8 and the semiconductor region 5 is depletion-ized thoroughly, If small drain voltage  $V_d$  is added so that drawing 4 may show, a carrier will pass along the channel region CH and will flow toward the drain electrode region 3 from the source electrode field 2. Under the present circumstances, the channel region CH is committed as resistance and the size of drain current  $I_d$  is proportional to drain voltage  $V_d$  mostly (refer to the A point of drawing 4).

[0032]If drain voltage  $V_d$  increases, a depletion layer will be extended from the drain electrode region 3, and the point (pinch-off point) that the thickness of an inversion layer is set to "0" by the channel part of drain electrode region 3 both ends will arise eventually (refer to the B point of drawing 4). If drain voltage  $V_d$  at this time is called pinch off voltage ( $V_{dsat}$ ) and drain voltage  $V_d$  becomes larger than pinch-off-voltage  $V_{dsat}$ , Drain current  $I_d$  is saturated and takes the almost same value (saturation drain current value  $I_{dsat}$ ) (refer to C point of drawing 4).

[0033]Thus, when the semiconductor region 5 which sufficiently big voltage  $V_h$  was impressed to the 2nd gate electrode 8, and was inserted into the two gate dielectric film 4 and 6 is depletion-ized thoroughly. The dielectric constant on the appearance of the gate dielectric film between the gate electrode 7 and the channel region CH, It has the characteristic equivalent to the conventional MOS transistor which has a value decided by the dielectric constant of the two gate dielectric film 4 and 6 and the semiconductor region 5 across which it faces among these therefore by which the gate dielectric film of the predetermined dielectric constant is provided between the gate electrode and the channel region. Therefore, it can be considered that the drain current at this time is equivalent to the drain current which flows into the conventional MOS transistor.

[0034]On the other hand, when voltage  $V_h$  impressed to the 2nd gate electrode 8 is small, the semiconductor region 5 inserted into the two gate dielectric film 4 and 6 is not depletion-ized thoroughly. Drawing 5 is a figure showing the relation between the drain current at this time, and drain voltage. The relation between drain current when voltage  $V_h$  impressed to the 2nd gate electrode 8 is large, and drain voltage is also shown to drawing 5 by the dashed line for comparison.

[0035]If drawing 5 is referred to, when voltage  $V_h$  impressed to the 2nd gate electrode 8 is small and the semiconductor region 5 is not depletion-ized thoroughly, It compares, when voltage  $V_h$  big enough is impressed to the 2nd gate electrode 8 and the semiconductor region 5 is depletion-ized thoroughly, The electric field from the drain electrode region 3 becomes large relatively rather than the electric field from the gate electrode 7, and, as a result, pinch-off-voltage  $V_{dsat}'$  becomes smaller than pinch-off-voltage  $V_{dsat}$  in case the semiconductor region 5 is depletion-ized thoroughly. Thus, it becomes possible to control saturation drain current value  $I_{dsat}'$  by voltage  $V_h$  by which the 2nd gate electrode 8 is impressed below to  $I_{dsat}$ . That is, a saturation drain current value is controllable by the semiconductor device of drawing 1 and drawing 2 to variable with the impressed electromotive force to the 2nd gate electrode 8. Namely, by changing respectively independently voltage  $V_h$  impressed to the 2nd gate electrode 8, and voltage  $V_g$  impressed to the gate electrode 7, It becomes possible to control the saturation current value of drain current  $I_d$  which flows into the semiconductor substrate surface between the source electrode field 2 and the drain electrode region 3.

[0036]Drawing 6 (a) and (b) is a lineblock diagram of the example of the semiconductor device of this invention. It is a sectional view [ in / drawing 6 (a) can be set in a top view, and / in drawing 6 (b) / the A-A line of drawing 6 (a) ]. When drawing 6 (a) and (b) is referred to, this semiconductor device, It is constituted as an n channel type device, and the source electrode field 2 and the drain electrode region 3 which the n type impurity diffused in high concentration are formed in this p type silicon wafer 1 using the p type silicon wafer (silicon substrate) as the semiconductor substrate 1. On

the silicon wafer 1 between this source electrode field 2 and the drain electrode region 3, The silicon oxide as the 1st gate dielectric film 4, the polycrystalline silicon thin film as the semiconductor region 5, The silicon oxide as the 2nd gate dielectric film 6 is formed one by one, and on the silicon oxide 6 as the 2nd gate dielectric film, The  $n^+$  type polysilicon electrode is formed as the gate electrode 7, further, the polycrystalline silicon thin film 5 as a semiconductor region is touched, and the  $n^+$  type polysilicon electrode as the semiconductor electrode field (the 2nd gate electrode) 8 is formed.

[0037]In drawing 6 (a) and (b), an interlayer insulation film and 26 17 field oxide, and 18, 19, 20 and 21, It is aluminum electrode wiring of the source electrode 2, the drain electrode 3, the gate electrode 7, and the 2nd gate electrode 8, and is electrically respectively connected with each electrodes 2, 3, 7, and 8 via the contact holes 22, 23, 24, and 25.

[0038]Drawing 7 (a) thru/or (d) is a figure showing the making process of the semiconductor device of drawing 6. First, reference of drawing 7 (a) thru/or (d) will form an active layer region by forming the field oxide 26 with LOCOS process on the p type silicon substrate 1, and separating a substrate face, as shown in drawing 7 (a). And 10 nm of silicon oxide 4 as the 1st gate dielectric film is formed in the isolation region surface by a dry oxidation method. It was made for oxidizing temperature to be 900 ° or less. The channel dope of the boron ion 29 is carried out from on the silicon oxide 4 which is the 1st gate dielectric film for threshold adjustment of a channel part.

[0039]next, it is shown in drawing 7 (b) – as – the silicon oxide 4 top – the polycrystalline silicon thin film 5 as a semiconductor region – LPCVD (decompression chemical vapor phase growth) – by law, 30 nm forms membranes and pattern NINGU of this is carried out at predetermined shape. Under the present circumstances, the film formation condition of a polycrystalline silicon thin film is set to the substrate temperature of 630 °, pressure 0.1Torr, and  $\text{SiH}_4$  gas mass flow 200SCCM, for example. Then, 10 nm of silicon oxide 6 as the 2nd gate dielectric film is formed with an LPCVD method. The film formation condition at this time is set to the substrate temperature of 800 °, pressure 0.9Torr,  $\text{SiH}_4$  gas mass flow 30SCCM, and  $\text{N}_2\text{O}$  gas mass flow 1000SCCM, for example. In order to adjust the impurity concentration in the polycrystalline silicon thin film 5, the boron ion 32 is poured in from on the silicon oxide 6 which is the 2nd gate dielectric film. When the 2nd gate electrode 8 formed after this determines effectively [ how much ] the drain current which flows between source electrode 2 and the drain electrode 3 can be controlled, it is important for the impurity concentration in the polycrystalline silicon thin film 5.

[0040]Next, as shown in drawing 7 (c), 30 nm of polysilicon thin films 7 which doped Lynn are formed with an LPCVD method, the resist 34 is formed in predetermined shape, a polysilicon thin film is patterned after predetermined shape by using this resist 34 as a mask, and the gate electrode 7 is formed. The film formation condition at this time is set to the substrate temperature of 500 °, pressure 0.9Torr,  $\text{Si}_2\text{H}_6$  gas mass flow 90SCCM,  $\text{PH}_3$  gas mass flow 10SCCM, and  $\text{N}_2$  gas mass flow 800SCCM, for example. And in order to form the source electrode field 2, the drain electrode region 3, and the 2nd gate electrode 8 where the resist 34 used as a mask is left when the gate electrode 7 is patterned, the phosphorous ion 35 is poured in. Pouring of the phosphorous ion 35 changes the combination of infused energy and a dose, and is performed twice or more. For example, a dose sets 1st infused energy to 30keV, and is made into two  $\text{E}15\text{-cm}^{-2}$ , and the 2nd time is respectively made into 90keV and five  $\text{E}15\text{-cm}^{-2}$ . An ion implantation is divided into multistage and performed here in order to form the formation process of a source electrode, a drain electrode, a gate electrode, and the 2nd gate electrode by package by a self-alignment process. Namely, in production of the device which the semiconductor device of this invention has the structure extended in the direction of a three dimension, and has the structure extended in such a direction of a three dimension. It is dramatically important to make a process simple and to stop dispersion in the performance of a device small, Therefore, as impurity ion is poured into the field used as a source electrode or a drain electrode when infused energy is high while pouring impurity ion into the field used as the 2nd gate electrode, when infused energy is low, By including a multi stage ion implantation process in a self-alignment process, also when producing a device with the structure extended in the direction of a three dimension, a process is simplified and the performance of a device can be maintained to a highly precise thing.

[0041]Thus, if the impurity introduced by the ion implantation is activated after dividing into multistage and performing an ion implantation, as shown in drawing 7 (d), the source electrode field 2, the drain electrode region 3, and the 2nd gate electrode 8 will be formed, and a fundamental structure of the semiconductor device of this invention will be formed. Then, an n channel type new structure device can be obtained through each process of deposition of an interlayer insulation film, formation of a contact hole, formation of aluminum electrode wiring, and metallization.

[0042]Thus, in production of the semiconductor device of this invention, it can fully be coped with within the limits of the conventional silicon process technology.

[0043]In drawing 8, channel length L in the semiconductor device shown in drawing 6 2 micrometers, The mold of the impurity of 4 micrometers and the channel portion CH of a silicon substrate, and impurity concentration for channel width



W A p type, one  $E16\text{-cm}^{-3}$ , The mold of the impurity of the polycrystalline silicon thin film 5 and impurity concentration are made into a p type and one  $E17\text{-cm}^{-3}$ , and the drain current characteristic when the gate electrode 7 and the 2nd gate electrode 8 are used as  $n^+$  type polysilicon is shown. Although a drain current characteristic is searched for, as shown in drawing 9, the source electrode 2 is grounded (.). Namely, it is referred to as  $V_g=0$  and changes 0.5v of voltage  $V_g$  of the gate electrode 7 at a time to 0.0V-5.0V, It changed 1v of voltage  $V_h$  of the 2nd gate electrode 8 at a time to 0V-5V, and drain current  $I_d$  to drain voltage  $V_d$  was calculated. Drawing 8 shows that the saturation current value of drain current  $I_d$  is controlled by voltage  $V_h$  impressed to the 2nd gate electrode.

[0044]Although the semiconductor device of this invention was constituted from an above-mentioned example as an n channel type device, the semiconductor device of this invention can be constituted as a p channel type device as well as n channel type device, and can be produced even in this case, and can be operated similarly.

[0045]That is, a p channel type device is producible like the manufacturing method of n channel type device mentioned above.

[0046]The semiconductor device of drawing 1 thru/or drawing 3 can be used for an inverter circuit like the conventional MOSFET. Drawing 10 is a figure showing the inverter circuit which applied the semiconductor device of drawing 1 thru/or drawing 3. Fundamentally, although the inverter circuit of drawing 10 carries out the completely same operation as the conventional MOSFET, Since a saturation drain current value is controlled in the semiconductor device of drawing 1 thru/or drawing 3 by voltage  $V_h$  impressed to the 2nd gate electrode, When the operation as an inverter circuit as shown in drawing 10 is considered, the logic inversion voltage becomes controllable by changing voltage  $V_h$  impressed to the 2nd gate electrode 8.

[0047]As a semiconductor device of drawing 1 thru/or drawing 3, Several semiconductor devices of an n channel type thing (the source electrode field 2, the drain electrode region 3, and the semiconductor electrode field 8 are n types) and a p channel type thing (the source electrode field 2, the drain electrode region 3, and the semiconductor electrode field 8 are p types) with which conductivity types differ mutually are formed on the semiconductor substrate 1, It is also possible to constitute an inverter circuit in complementary (complementary) one with the semiconductor device of these plurality. That is, it is also producible combining n channel type device and a p channel type device. In this case, stabilization and low power consumption of performance of operation can be attained, and the circuit which was more suitable for LSI-ization can be provided.

[0048]The example of composition of the inverter circuit which comprised a complimentary (complementary) n channel type device and a p channel type device mutually is shown in drawing 11. Namely, in the example of drawing 11 as a semiconductor device of this 1st example, Using two kinds of things of n channel type semiconductor device (nMOS device)  $SC_1$  and p channel type semiconductor device (pMOS device)  $SC_2$ , it is made the thing of CMOS structure and the inverter circuit is constituted. In the example of drawing 11, both 2nd gate electrode is connected as a common electrode, and voltage  $V_h$  is impressed to these. As for  $V_{in}$ , output voltage and ( $V_{dd}-V_{ss}$  of input voltage and  $V_{out}$ ) are the power supply voltage of an inverter circuit.

[0049]The principle of operation of the inverter circuit constituted complimentary by such p channel type semiconductor device and the n channel type semiconductor device is explained.

[0050]More, in drawing 11, n channel type device  $SC_1$  is formed on the p type silicon substrate 123, and p channel type device  $SC_2$  is formed on the n type silicon substrate 124 at details. In n channel type device  $SC_1$  (p channel type device  $SC_2$ ). The source electrode field 109 (110) and the drain electrode region 111 (112), It is formed in the surface and the inside of the silicon substrate 123 (124), and on the silicon substrate between this source and a drain, The silicon oxide 113 (114) used as the 1st gate dielectric film, the polycrystalline silicon thin film 115 (116) used as a semiconductor region, The silicon oxide 117 (118) used as the 2nd gate dielectric film and the polysilicon electrode 119 (120) used as a gate electrode are formed one by one, The polycrystalline silicon thin film 115 (116) inserted into the two silicon oxide 113 (114) and 117 (118) is touched, and the polysilicon electrode 121 (122) as a semiconductor electrode (the 2nd gate electrode) is formed. And the drain electrode region 111 of n channel type device  $SC_1$ , the gate electrode 119, and the semiconductor electrode 121, It is respectively connected with the drain electrode region 112 of p channel type device  $SC_2$ , the gate electrode 120, and the semiconductor electrode 122, Input voltage  $V_{in}$  is added to the gate electrode 119,120, and output voltage  $V_{out}$  is taken out from the drain electrode region 111,112, and control voltage  $V_h$  is added to the semiconductor electrode 121,122. The source electrode 109 of n channel type device  $SC_1$  is grounded (held at earth-potentials  $V_{ss}$ ), and power-supply-voltage  $V_{dd}$  is impressed to the source electrode 110 of p channel type device  $SC_2$ .

[0051]Drawing 12 is a figure showing the equivalent circuit with the complimentary (complementary) composition which used the semiconductor device of this invention of an inverter circuit, and drawing 13 is a figure showing the measurement result of the input-output behavioral characteristics of this inverter circuit. That is, the measurement result of drawing 13 changes voltage  $V_h$  impressed to the 2nd gate electrode 8 at 0.5V interval in 0.5V-3.5V, and measures output voltage  $V_{out}$  to input voltage  $V_{in}$ . From drawing 13, the logic inversion voltage of an inverter circuit is understood that it is controllable by voltage  $V_h$  impressed to the 2nd gate electrode 8.

[0052]Drawing 14 is a shown figure the measurement result of the relation between logic inversion voltage  $V_{inv}$  and voltage  $V_h$  impressed to the 2nd gate electrode, and the measurement result of drawing 14, Logic inversion voltage  $V_{inv}$  to voltage  $V_h$  when the power supply voltage ( $V_{dd}$ - $V_{ss}$ ) of an inverter circuit is set as 3V, 4V, and 5V, respectively is measured. The measurement result of drawing 14 also shows that logic inversion voltage  $V_{inv}$  is controllable by voltage  $V_h$  to variable. When the complimentary composition shown in drawing 11 plans stabilization and low power consumption of performance of operation, it is dramatically effective.

[0053]The inverter circuit (CMOS inverter by a new element) of drawing 11 and drawing 12, Compare voltage  $V_{in}$  added to the gate electrode 119,120 with voltage  $V_h$  added to the semiconductor electrode 121,122, and at the time of  $V_h < V_{in}$ . It turns out that output  $V_{out}$  is set to 0V, and output  $V_{out}$  serves as  $V_{dd}$  and it functions as a comparator as shown in drawing 15 from this at the time of  $V_h > V_{in}$ . Namely, in the inverter composition of drawing 11, the gate electrode 119,120 is operated as a signal input terminal of a comparator, The semiconductor electrode 121,122 can be operated as a reference voltage input terminal of a comparator, and the drain electrode region 111,112 can be operated as an output terminal of a comparator. Thus, the function as a comparator is also realizable by constituting the semiconductor device (new element) with a very simple structure of drawing 1 thru/or drawing 3 complimentary.

[0054]Drawing 16 and drawing 17 are the lineblock diagrams of the comparator constituted by the new constituent child of this invention. It is a sectional view [ in / drawing 16 can be set in a top view and / in drawing 17 / the A-A line of drawing 16 ]. When drawing 16 and drawing 17 are referred to, this comparator, Carry out the ion implantation of Lynn and the boron to the n type silicon substrate 127, and the n well 128 and the p well 129 are formed, respectively, p channel type device  $SC_2$  is formed in the n well 128, and n channel type device  $SC_1$  is formed in the p well 129.

[0055]Here, p channel type device  $SC_2$  has the sauce 130 and the drain electrode region 131 which the p type impurity diffused in the n well 128 at high concentration. And on the n well 128 between this sauce 130 and the drain electrode 131. The silicon oxide 132 used as the 1st gate dielectric film, the polycrystalline silicon thin film 133 used as a n type semiconductor region, the silicon oxide 134 used as the 2nd gate dielectric film, and the  $n^+$  polysilicon electrode 135 used as a gate electrode are formed one by one, The polycrystalline silicon thin film 133 inserted into the two silicon oxide 132,134 is touched, and the  $p^+$  polysilicon electrode 136 as a semiconductor electrode (the 2nd gate electrode) is formed.

[0056]n channel type device  $SC_1$  has the sauce 138 and the drain electrode region 139 which the n type impurity diffused in the p well 129 at high concentration. And on the p well 129 between this sauce 138 and the drain electrode 139. The silicon oxide 140 used as the 1st gate dielectric film, the polycrystalline silicon thin film 141 used as a p type semiconductor region, the silicon oxide 142 used as the 2nd gate dielectric film, and the  $n^+$  polysilicon electrode 143 used as a gate electrode are formed one by one, The polycrystalline silicon thin film 141 inserted into the two silicon oxide 140 and 142 is touched, and the  $n^+$  polysilicon electrode 144 as a semiconductor electrode (the 2nd gate electrode) is formed. 154 is an interlayer insulation film and 155 is field oxide.

[0057]The gate electrodes 135 and 143 of p channel type device  $SC_2$  and n channel type device  $SC_1$ , It is connected with the aluminum electrode wiring 147 in common via the contact hole 146, and the gate electrode 135,143 functions as signal input terminal  $V_{in}$ . The drain electrode 131 of p channel type device  $SC_2$  and the drain electrode 139 of n channel type device  $SC_1$ , Respectively, common connection is carried out to the aluminum electrode wiring 152 via the contact holes 148 and 149, and the drain electrode 131,139 functions as output terminal  $V_{out}$ . The semiconductor electrode 136 of p channel type device  $SC_2$  and the semiconductor electrode 144 of n channel type device  $SC_1$ , Respectively, common connection is carried out to the aluminum electrode wiring 153 via the contact holes 150 and 151, and the semiconductor electrode 136,144 functions as reference voltage input terminal  $V_h$ .

[0058]Drawing 18 and drawing 19 are the figures showing the making process of the comparator by this invention. First, as shown in drawing 18 (a), by pouring in phosphorous ion on the n type silicon substrate 127, by forming the n well 128

and pouring in boron ion, the p well 129 is formed and twin tab structure is produced. Subsequently, an active layer region is formed by forming the field oxide 155 with LOCOS process, and separating a substrate face. And 10 nm of silicon oxide 132,140 is formed in the isolation region surface by a dry oxidation method as the 1st gate dielectric film. It was made for oxidizing temperature to be 900 ° or less. For threshold adjustment of a channel part, the ion implantation of Lyn is carried out from on the silicon oxide 132, and the ion implantation of the boron is carried out from on the silicon oxide 140, and impurity concentration of the surface of the n well 128 and the p well 129 is made into the target value.

[0059]subsequently, it is shown in drawing 18 (b) – as – the silicon oxide 132,140 top – as a semiconductor region – respectively – the polycrystalline silicon thin film 133,141 – LPCVD (decompression chemical gaseous layer growth) – by law, 30 nm forms membranes and it patterns after predetermined shape. The film formation condition of a polycrystalline silicon thin film is set to the substrate temperature of 630 °, pressure 0.1Torr, and SiH<sub>4</sub> gas mass flow 200SCCM, for example. Then, 10 nm of silicon oxide 134,142 is formed with an LPCVD method as the 2nd gate dielectric film, respectively. The film formation condition at this time is set to the substrate temperature of 800 °, pressure 0.9Torr, SiH<sub>4</sub> gas mass flow 30SCCM, and N<sub>2</sub>O gas mass flow 100SCCM, for example. In order to adjust the impurity concentration in the polycrystalline silicon thin film 133, the ion implantation of Lyn is carried out from on the silicon oxide 134 which is the 2nd gate dielectric film. Similarly, in order to adjust the impurity concentration in the polycrystalline silicon thin film 141, the ion implantation of the boron is carried out from on the silicon oxide 142 which is the 2nd gate dielectric film. The impurity concentration in the polycrystalline silicon thin film 133,141, How much effectively, since the 2nd gate electrode formed after this determines whether the drain current which flows between the source drain electrodes of this p channel type device and n channel type device is controllable, it is important for this ion implantation process.

[0060]Next, as shown in drawing 18 (c), 300 nm of polysilicon thin films which doped Lyn are formed with an LPCVD method, it patterns after predetermined shape, and the gate electrode 135,143 is formed, respectively. A film formation condition is set to the substrate temperature of 500 °, pressure 0.9Torr, Si<sub>2</sub>H<sub>6</sub> gas mass flow 90SCCM, PH<sub>3</sub> gas mass flow 10SCCM, and N<sub>2</sub> gas mass flow 800SCCM, for example. And when the gate electrode 135,143 is patterned, it is in the state which left the resist pattern 164 used as a mask, and a mask is carried out with the resist pattern 165 so that the field which produces n channel type device may be covered further. And in order to form the source electrode of p channel type device, a drain electrode, and the 2nd gate electrode, the boron ion 166 is poured in. This ion implantation changes the combination of infused energy and a dose, and performs it twice or more. For example, 1st infused energy is made into 30keV, and dose <sup>-2</sup> of two E15 cm, and the 2nd time is respectively made into 45keV and four E15-cm<sup>-2</sup>. An ion implantation is divided into multistage and performed here in order to carry out package formation of the formation process of the source electrode of p channel type device, a drain electrode, a gate electrode, and the 2nd gate electrode by a self-alignment process. That is, when infused energy is low, an impurity is poured into the field used as the 2nd gate electrode, and on the other hand, when infused energy is high, an impurity is poured into the field used as a source electrode or a drain electrode. It is dramatically important to make a process simple and to stop dispersion in the performance between elements small in production of this device with the structure extended in the direction of a three dimension. As mentioned above, this method that included the multi stage ion implantation process in the self-alignment process is dramatically effective in that meaning.

[0061]Then, the resist patterns 164 and 165 are removed, and as shown in drawing 19 (d), a mask is carried out with the resist pattern 167 so that the field which produces p channel type device may be covered. And in order to form the source electrode of n channel type device, a drain electrode, and the 2nd gate electrode, the phosphorous ion 168 is poured in. Like the case of p channel type device, the conditions of an ion implantation change the combination of infused energy and a dose, and perform it twice or more. For example, 1st infused energy is made into 30keV, and dose <sup>-2</sup> of two E15 cm, and the 2nd time is respectively made into 90keV and five E15-cm<sup>-2</sup>. Thus, n channel type device as well as p channel type device is produced by the self-alignment process.

[0062]Then, if the impurity introduced by the ion implantation is activated, as shown in drawing 19 (e), The p<sup>+</sup> source electrode field 130 of p channel type device SC<sub>2</sub>, the p<sup>+</sup> drain electrode region 131, and the p<sup>+</sup> 2nd gate electrode 136 are formed, The n<sup>+</sup> drain electrode region 139 of n channel type device SC<sub>1</sub>, the n<sup>+</sup> source electrode field 138, and the n<sup>+</sup> 2nd gate electrode 144 are formed, and fundamental structure of the comparator by this invention is made. Then, the comparator constituted complimentary by p channel type device and n channel type device with new structure is obtained through each process of deposition of an interlayer insulation film, formation of a contact hole, formation of aluminum electrode wiring, and metallization.

[0063]Thus, it can fully be coped with within the limits of the conventional silicon process technology in production of the

comparator of this invention.

[0064]The drain current characteristic of n channel type device which constitutes the comparator produced by the above-mentioned method, The mold of the impurity of 4 micrometers and the channel portion of a silicon substrate, and impurity concentration for 2 micrometers and channel width  $W$  One  $E17 \text{ cm}^3$  of p type  $^{-3}$ , [ channel length  $L$  ] The mold of the impurity of a polycrystalline silicon thin film semiconductor, and impurity concentration One  $E16 \text{ cm}^3$  of p type  $^{-3}$ , When a gate electrode and the 2nd gate electrode are used as  $n^+$  polysilicon, it turns out that it becomes the same characteristic as drawing 8, and the drain saturation current value is controlled by voltage  $V_h$  impressed to the 2nd gate electrode.

[0065]An example of the input-output behavioral characteristics of the comparator constituted by KOMPURI Metairie with p channel type device and n channel type device with such a new structure is shown in drawing 20. In the example of drawing 20, power-supply-voltage  $V_{dd}$  of the comparator is 3V. The relation between logic inversion voltage  $V_{inv}$  of this comparator and voltage  $V_h$  impressed to the 2nd gate electrode is shown in drawing 21. Voltage  $V_h$  impressed to the 2nd gate electrode from drawing 20 and drawing 21 shows that the logic inversion voltage of a comparator is controllable.

[0066]An A/D converter circuit is also realizable using the comparator mentioned above. It precedes explaining the A/D converter circuit of this invention, and the conventional A/D converter circuit is explained first. In recent years, the high speed of an A/D converter (analog-to-digital converter) and the demand to highly-precise-izing are becoming increasingly strong with digitization of the system by progress of VLSI art. It is not an overstatement although the performance is especially influenced by the performance of the A/D converter in digital video apparatus or a measuring instrument. The flash plate (flash: parallel) mold A/D converter is suitable for such a high-speed A/D conversion.

[0067]The composition of the flash plate type A/D converter of n bit is shown in drawing 22. If drawing 22 is referred to, in the flash plate type A/D converter of n bit, input signal voltages are impressed to the  $2^{n-1}$  piece comparator sequence 84 in common, and the 2 (divided)  $^{n-1}$  piece reference voltage generated by the resistance sequence 83 is supplied to each comparator. Input-signal-voltages  $V_{in}$  is impressed to each comparator from an input terminal, and, as for the output of the comparator of reference voltage higher than this input-signal-voltages  $V_{in}$ , all the outputs of all of the comparator of reference voltage lower than "0" and it are set to "1." The output (since the display of the thermometer is resembled, called the thermometer code) of these comparators, The boundary line of "0" and "1" is detected by the differentiation circuit 85, and the output of this n bit, Furthermore, it is changed into the digital signal of a binary n bit by the encoder 86, and is outputted as a digital signal by it from output terminal  $D_n, D_{n-1}, D_{n-2}, \dots, D_2$ , and  $D_1$ .

[0068]The comparator used for such a flash plate type A/D converter was almost constituted from the former by the bipolar element. The example is shown in drawing 23 (from 8-53 (1989) to a "linear circuit data book", Texas Instruments Japan, Inc., and quotation). Since each comparator contains many elements when each comparator is a thing of composition like drawing 23, in the conventional flash plate type A/D converter. It was dramatically difficult by the process and the design reason to stop the width of dispersion in the characteristic between comparators small.

[0069]As for dispersion in the characteristic between comparators, in the flash plate type A/D converter, a high speed and when becoming highly precise, causing the following problems is known. Namely, ideally, as the output of the comparator array was mentioned above, although a low rank to "1" is a thermometer code which, as for a higher rank, "0" follows from it bordering on one certain place continuously, Actually, in a code, two or more change points may appear by the jitter resulting from dispersion in the performance of each comparator. And gross errors are produced when changing this mistaken code into binary code with an encoder (this is called the glitch of an A/D converter). For this reason, in the conventional A/D converter, generating of an error at the time of a high frequency input is remarkable, and the actual use limit of the actual condition was quite lower than the catalog value. That is, there was a limit in the high speed of a flash plate type A/D converter, and highly precise-ization according to increase of circuit structure, and increase of a jitter or load carrying capacity.

[0070]In order to improve such a point, various circuit devices have been conventionally achieved by the flash plate type A/D converter. For example, as shown in drawing 24, originally a sample & hold circuit (S/H-1, S/H-2) unnecessary in the A/D converter of a parallel connected type is provided, Analog input signal voltage is sampled and held and the series parallel type (Multi-step Flash) A/D converter which divides into the bit of a higher rank and a low rank, and performs a parallel conversion is proposed (Kusunoki, Iwata, and Akazawa: "analog technology for VLSI", KYORITSU SHUPPAN, p184 (1989)). And the method of the concatenated type to which pipeline operation of each series parallel type stage is carried out is also proposed by adding a latch to these comparators and memorizing data temporarily further.

[0071]However, in these methods, the composition of a circuit will be complicated and the new problem of enlarging the burden by the side of a system design will arise.

[0072]A flash plate type A/D converter, especially a comparator, As mentioned above, since it is the analog circuitry based on the un-saturating type theory which comprises a bipolar transistor, the power consumption is large compared with the digital circuit based on saturated type theory, i.e., CMOSLSI, and it is difficult for it to suppress the heat dissipation from a chip. Therefore, the performance as an A/D converter will be sharply changed with temperature. Instead of recently using a bipolar element, as shown in drawing 25, CMOS and the two-step parallel connected type A/D converter constituted from a chopper type comparator by a MOS transistor are also realized (Matsuzawa: "actual condition of a high-speed A/D converter, and future trends", ICD91-84, pp.21-28). Here, 87 is the conventional CMOS inverter. However, as already stated, when using the conventional CMOS inverter, increasing the burden by the side of a system design is not avoided, and even if it uses power consumption, it remains compared with the thing using the conventional bipolar element to such an extent that it decreases or less to 1/2.

[0073]Since even the newest CMOS and two-step parallel connected type A/D converter of the circuitry are complicated not to mention the flash plate type A/D converter which comprises a conventional bipolar transistor also about the degree of location, high integration beyond this is difficult.

[0074]As stated above, the high speed of a flash plate type A/D converter and various corrective strategy to highly-precise-izing cannot fully be satisfied yet. replacing such conventional corrective strategy – drawing 1 thru/or drawing 3, drawing 6, and the semiconductor device of drawing 9 – especially, An above-mentioned problem is avoidable by constituting a comparator as shown in drawing 15, drawing 16, and drawing 17 using an inverter circuit as shown in drawing 11 and drawing 12, and constituting a flash plate type A/D converter circuit using this comparator. that is, it becomes possible to realize the flash plate type A/D converter circuit which applied a highly efficient (high-speed and highly precise) comparator and it within the limits of the process of the silicon which makes a base in the present integrated circuit art, and device technology.

[0075]Drawing 26 is a lineblock diagram of the 8-bit flash plate type A/D converter constituted using the comparator shown in drawing 15, drawing 16, and drawing 17. In drawing 26, it is an encoder which changes 255 comparator sequences according [ 76 ] to this invention, and 77 into the differentiation circuit of an EXOR (exclusive OR) sequence, and changes 78 into a binary digital signal according [ 75 ] to a resistance sequence. 79 is a clock generation circuit. In the 8-bit flash plate type A/D converter of drawing 26, as compared with the conventional thing, it is possible to attain a high speed, high degree of accuracy, and low power consumption, and it has actually checked that a high speed, high degree of accuracy, and low power consumption could be attained.

[0076]Thus, according to this invention, the semiconductor device which constitutes a saturation drain current-value-controlling device is realizable with 4 terminal device with a very simple new structure. This new structure device can have the conventional MOS transistor and a similar electric conduction mechanism, complimentary composition can be taken mutually, and an element number can be reduced as compared with the circuit further constituted from a conventional CMOS device as well as a threshold control device.

[0077]The new structure device by this invention is producible in the process which is hardly different from the conventional MOS transistor, And since it is producible within the limits of process control strategy which is not different from the former at all, such as impurity concentration, silicone film thickness, oxide film thickness, and gate length, the performance of a device is not greatly influenced by dimensional accuracy like nu MOS transistor. Therefore, it is in the silicon semiconductor process which minuteness making will follow further from now on, and this new device will become very promising.

[0078]Since the new structure device by this invention extends structure in the direction of a three dimension and is beginning to make a new function, the integration which is not different from the conventional MOS transistor at all is possible for it.

[0079]In each example mentioned above, although the silicon wafer was used as a substrate of a semiconductor device, a SOI (Silicon On Insulator) wafer can also be used, for example instead of being this. Drawing 27 is a figure (sectional view) showing the modification of the semiconductor device of drawing 6. When drawing 27 is referred to, this semiconductor device The silicon substrate 11 and the insulator layer 42, The polycrystalline silicon thin film 5 which was constituted by the silicon thin film 41 on the insulator layer 42, and was inserted into the two gate oxide 4 and 6 was formed as a polycrystalline silicon thin film which crystallized the amorphous silicon thin film with solid phase growth. It has the completely same composition as the semiconductor device of drawing 6 except the above.

[0080]More concretely, with the semiconductor device of drawing 27, the SOI (Silicon On Insulator) wafer is used for the substrate, and the substrate oxide film layer 42 whose thickness is 2 micrometers, and the p type high resistance silicon layer 41 whose thickness is 100 nm can be used as this SOI wafer. The isolation can carry out this high resistance silicon layer 41 to island shape by carrying out pattern NINGU.

[0081]Thus, as a substrate, by using a SOI wafer instead of bulk single crystal silicon, the parasitic capacitance of a device or a circuit can be reduced substantially, or a short channel effect can be inhibited. Since an isolation process can be simplified, it is suitable for reduction of a routing counter, and high integration. Especially the reduction of parasitic capacitance can make high-speed operation of a circuit possible, and can raise circuit performance substantially in that power consumption can be reduced.

[0082]Manufacturing methods of the amorphous silicon thin film for forming the polycrystalline silicon thin film 5 include the thing to depend on the LPCVD method which obtains an amorphous film, or the ion implantation made amorphous by carrying out an ion implantation to a silicon thin film by making substrate temperature low. It is referred to as the substrate temperature of 500 \*\*, pressure 0.1Torr, and Si<sub>2</sub>H<sub>6</sub> gas mass flow 200SCCM as a former film formation condition. As

latter implanting conditions, it is considered for example, as infused energy 30keV, and dose <sup>-2</sup> of 1.0E17 cm.

[0083]Thus, carry out solid phase growth in an annealing furnace, and let the produced amorphous silicon thin film be the polycrystalline silicon thin film 5. As conditions when carrying out solid phase growth of the amorphous silicon thin film, they may be the substrate temperature of 600 \*\*, N<sub>2</sub> gas atmosphere, and 60 hours, for example. The crystal grain diameter of the polycrystalline silicon thin film 5 obtained with solid phase growth is set to several micrometers from several 100 nm, and becomes quite large as compared with it being several 10 nm which was produced with the usual method for film deposition as shown in drawing 7. As a result, how depending on which the depletion layer in the polycrystalline silicon semiconductor 8 spreads to the voltage impressed to the 2nd gate electrode 8, Compared with how depending on which the depletion layer in the polycrystalline silicon thin film produced by the conventional method spreads, it becomes more sensitive and it becomes possible to control drain current more precisely with the 2nd gate electrode 8.

[0084]Thus, the device performance of the semiconductor device by this invention can be further raised by SOI-izing of a semiconductor substrate, and the membraneous improvement of the polycrystalline silicon thin film 8 inserted into the two gate dielectric film 4 and 6.

[0085]Drawing 28 is a sectional view of the comparator constituted by the semiconductor device of drawing 27. In this case, the comparators of drawing 16 and drawing 17 differ in that it is said that a substrate is a silicon thin film on an insulator layer. Except this, the structure of the comparator of drawing 28 is completely the same as the comparator of drawing 16 and drawing 17.

[0086]That is, in the comparator of drawing 28, the thickness of the p type high resistance silicon layer 81 used that whose thickness of 100 nm and the substrate oxide film layer 82 is 2 micrometers as the SOI (Silicon On Insulator) wafer 80. Isolation is completed by patterning this silicon layer 81 after island shape. Thus, by using a SOI wafer instead of bulk single crystal silicon, the parasitic capacitance of a device or a circuit can be reduced substantially, or a short channel effect can be inhibited. Since the isolation process is simple, it is suitable for reduction of a routing counter, and high integration. Especially reduction of parasitic capacitance makes high-speed operation of a circuit possible, and carries out big contribution to improvement in circuit performance in that power consumption can be reduced.

[0087]Thus, the performance of the comparator constituted by the new structure device by this invention can be further raised by making a semiconductor substrate into SOI structure.

[0088]

[Effect of the Invention]As explained above, according to the invention according to claim 1 to 7. A semiconductor substrate, and the source electrode field and drain electrode region which were formed in the semiconductor substrate, The semiconductor region provided on the 1st gate dielectric film provided on the semiconductor substrate, and the 1st gate dielectric film, It has the 2nd gate dielectric film provided on the semiconductor region, and the gate electrode provided on the 2nd gate dielectric film, Since it has composition which can change respectively independently the voltage which is provided with the semiconductor electrode field in contact with the semiconductor region, and is impressed to a semiconductor electrode field and a gate electrode, By changing the voltage impressed to a semiconductor electrode field independently of the voltage impressed to a gate electrode, it becomes possible to control the saturation current value of the drain current which flows into the semiconductor substrate surface between a source electrode field and a drain electrode region.

[0089]Since the inverter circuit is constituted using the semiconductor device according to any one of claims 1 to 7 according to the invention according to claim 8 to 10, This inverter circuit can be controlled by changing the voltage which impresses logic inversion voltage to the semiconductor electrode field of said semiconductor device.

[0090]According to the invention according to claim 10, especially an inverter circuit, As a semiconductor device, several semiconductor devices of an n channel type semiconductor device and a p channel type semiconductor device with which conductivity types differ mutually are formed on a semiconductor substrate, Since it is constituted complimentary by

several semiconductor devices with which conductivity types differ mutually, stabilization and low power consumption of performance of operation can be attained, and the circuit which was more suitable for LSI-ization can be provided.

[0091]According to claim 11 and the invention according to claim 12, it has the conventional MOS transistor and an extremely similar electric conduction mechanism, And since the comparator is constituted by the complimentary combination of p channel which are 4 terminal elements into which saturation drain current is changeable, and n channel device, The structure is far simple compared with the conventional thing, and can provide a highly efficient comparator compared with the conventional comparator.

[0092]According to the invention according to claim 13, since a semiconductor substrate is the silicon thin film provided on the insulator layer, it can raise the performance of a comparator further.

[0093]The A/D converter circuit according to claim 14 becomes able [ consumption ] to operate at high speed and with high precision, and for consumption of electric power to be high-density and to produce few flash plate type A/D converters on LSI from having claim 11 and the comparator according to claim 12.

[0094]Thus, according to this invention, a highly efficient saturation drain current control device is realizable within the limits of the conventional silicon process.

---

[Translation done.]



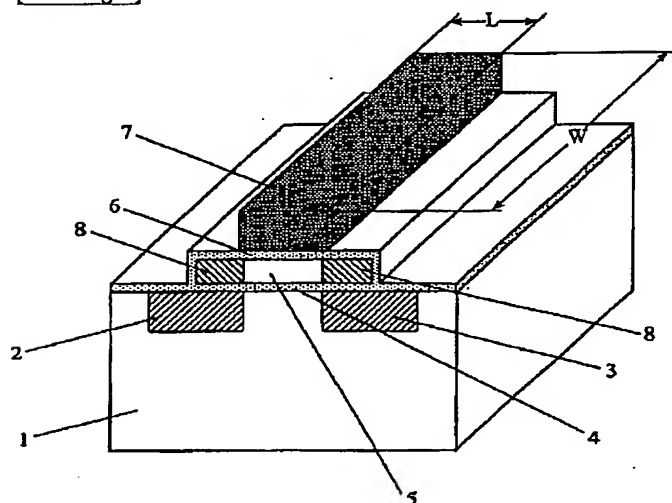
## \* NOTICES \*

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

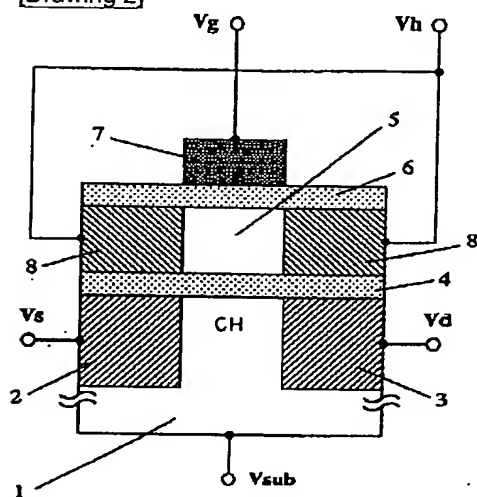
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

[Drawing 1]

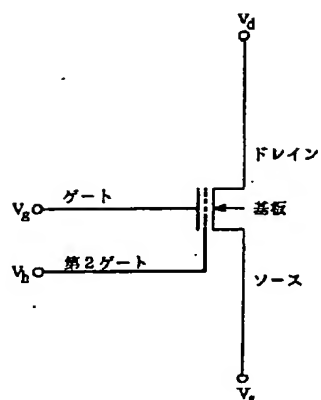


[Drawing 2]

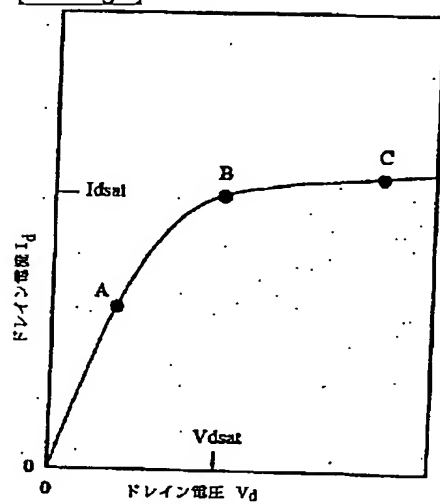


[Drawing 3]

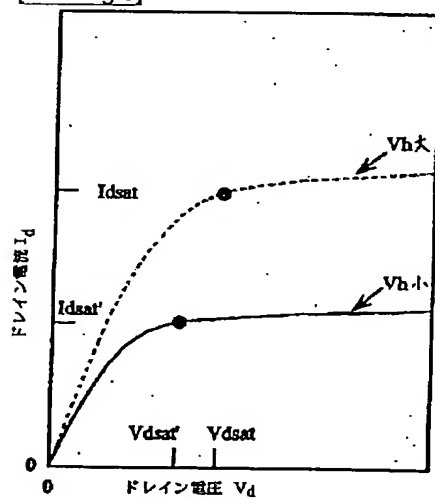




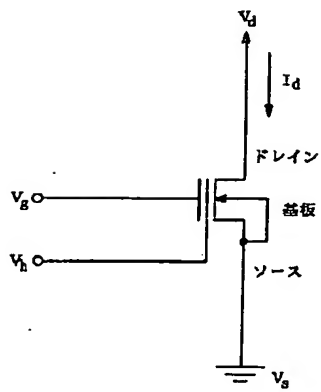
[Drawing 4]



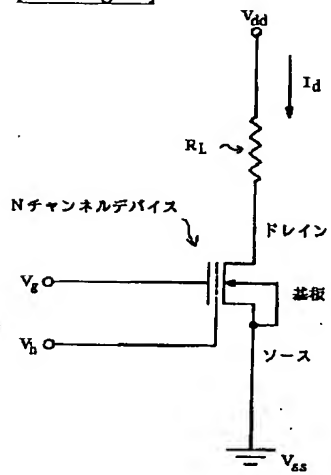
[Drawing 5]



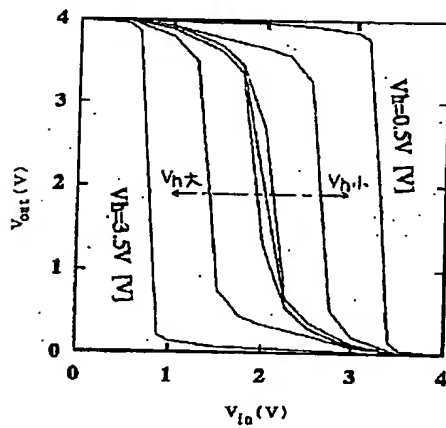
[Drawing 9]



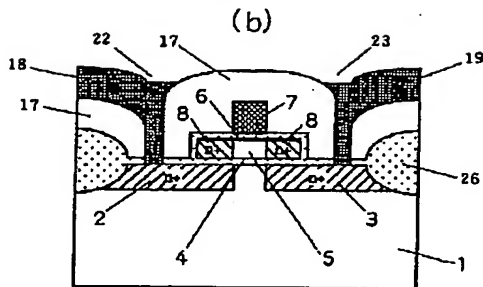
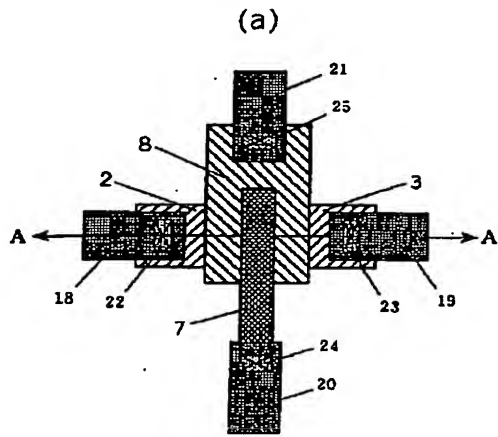
[Drawing 10]



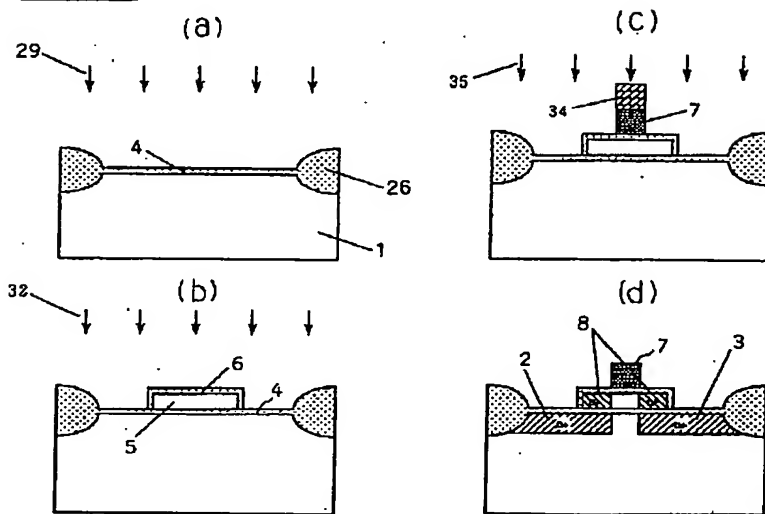
[Drawing 13]



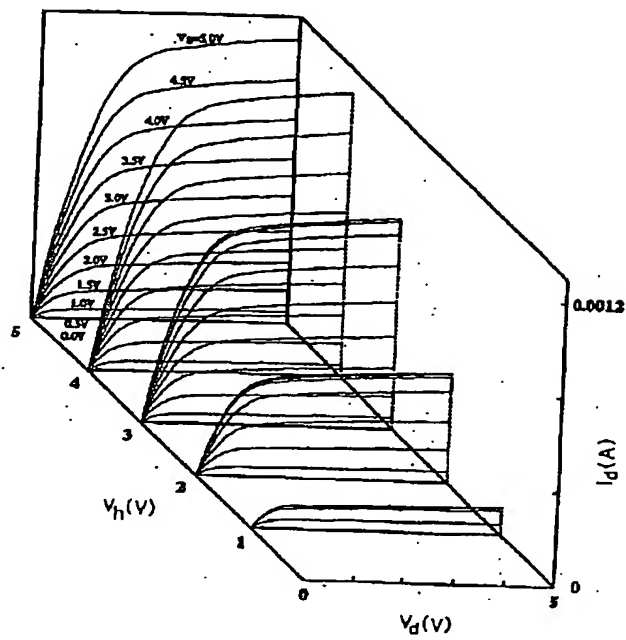
[Drawing 6]



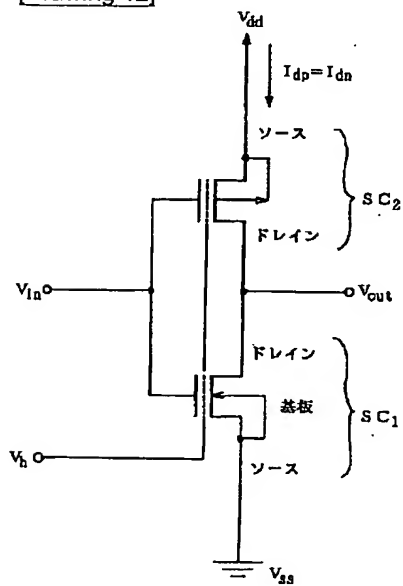
[Drawing 7]



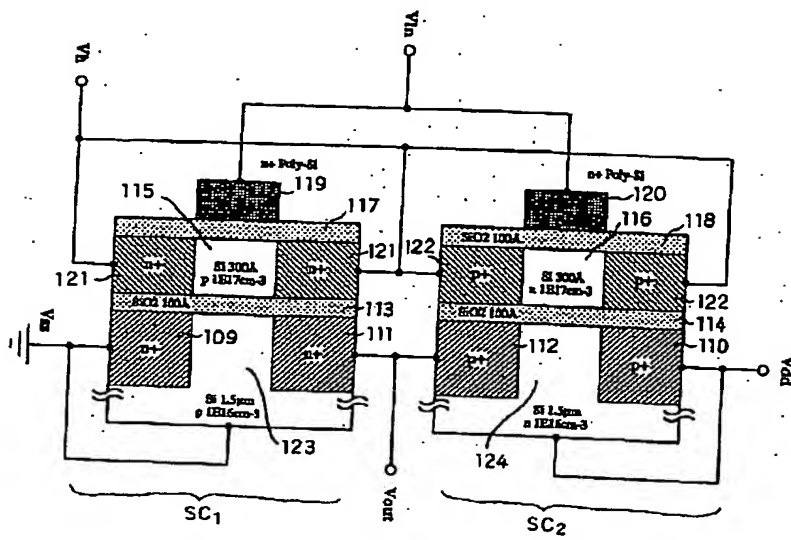
[Drawing 8]



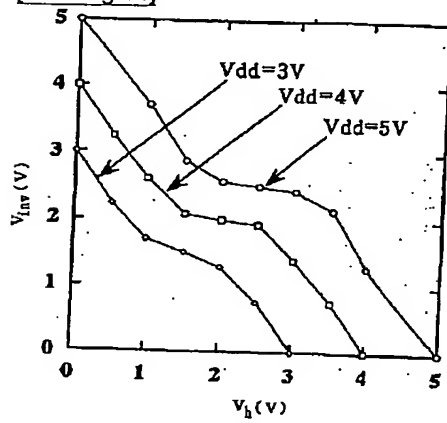
[Drawing 12]



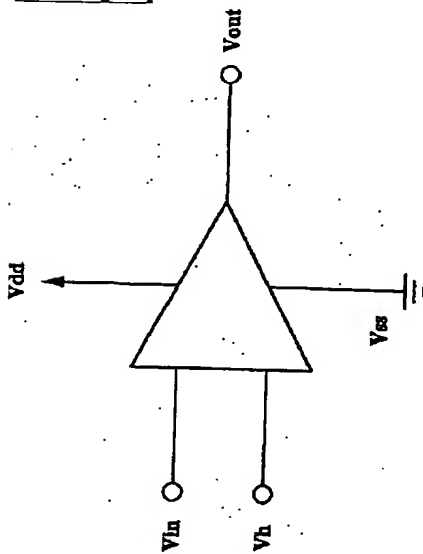
[Drawing 11]



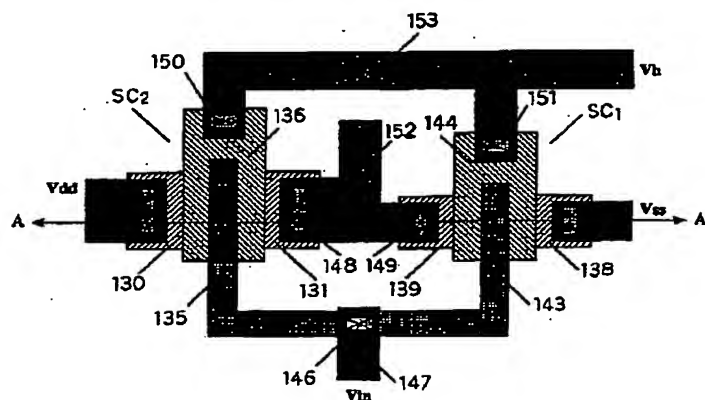
[Drawing 14]



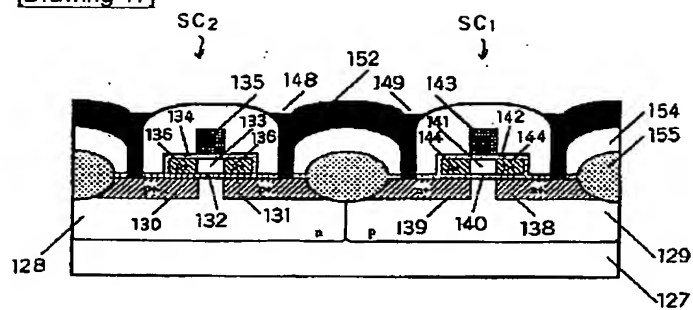
[Drawing 15]



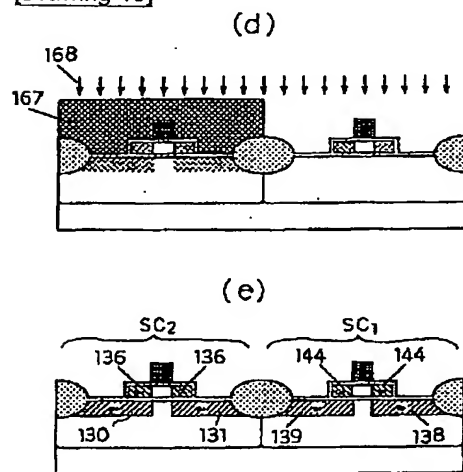
[Drawing 16]



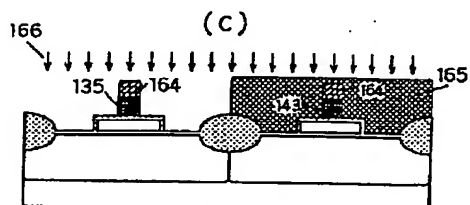
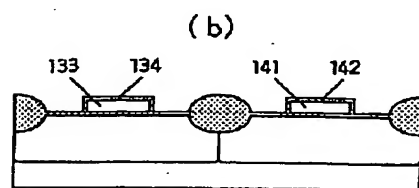
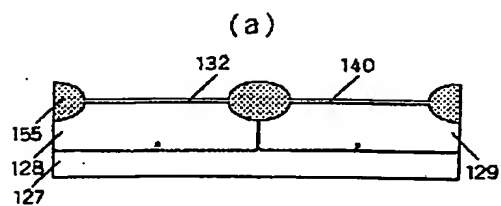
[Drawing 17]



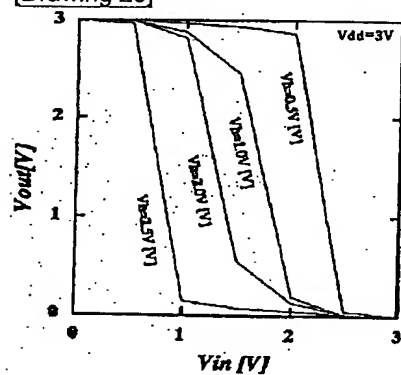
[Drawing 19]



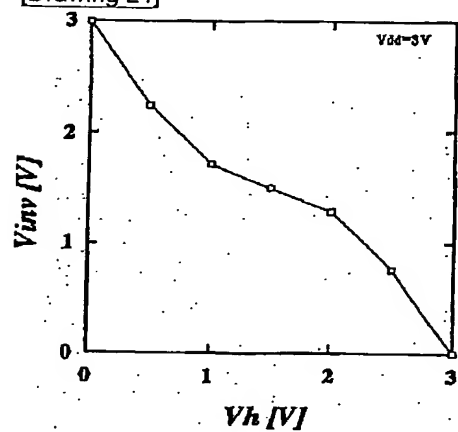
[Drawing 18]



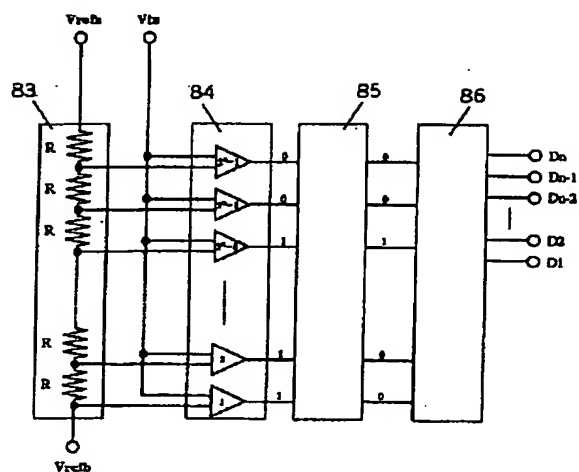
[Drawing 20]



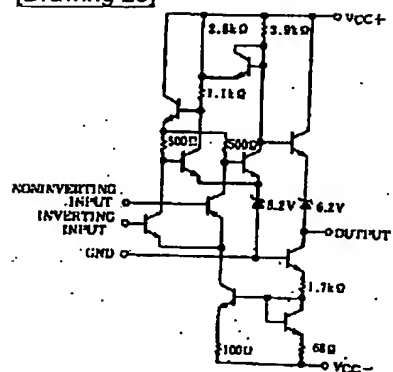
[Drawing 21]



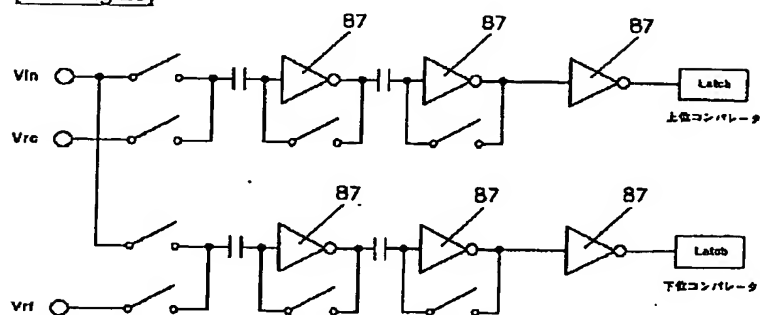
[Drawing 22]



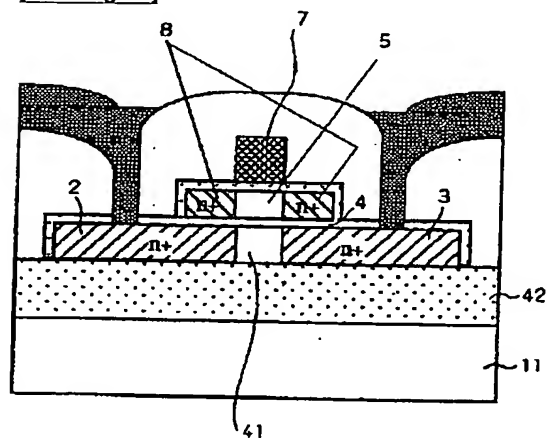
[Drawing 23]



[Drawing 25]

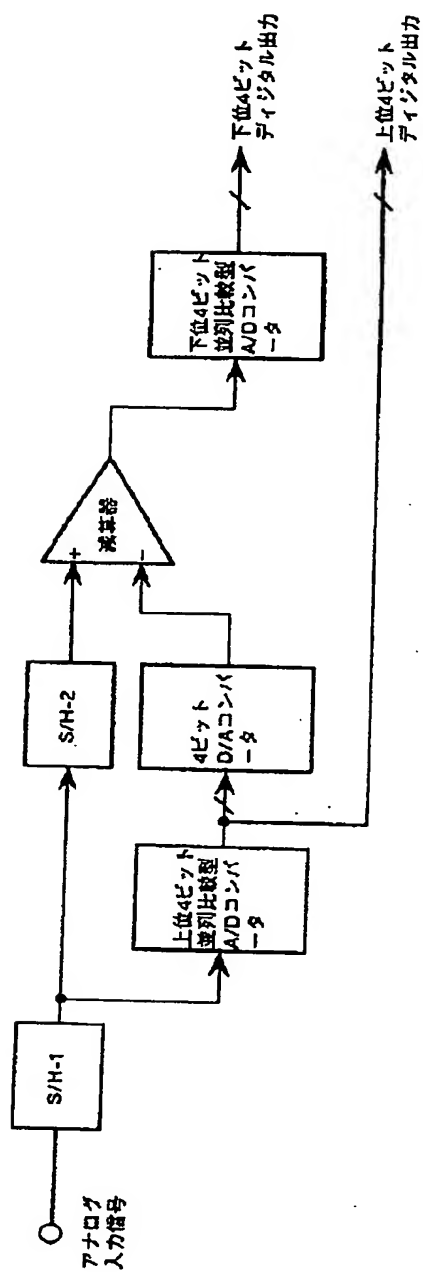


[Drawing 27]

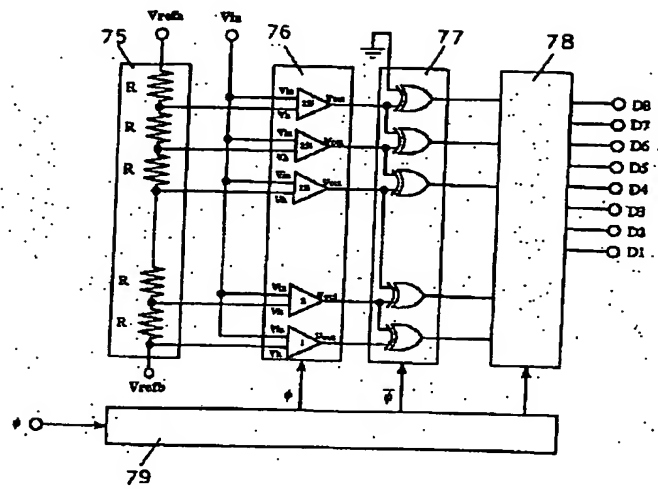




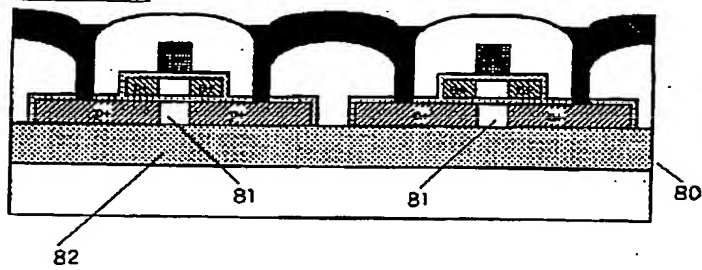
[Drawing 24]



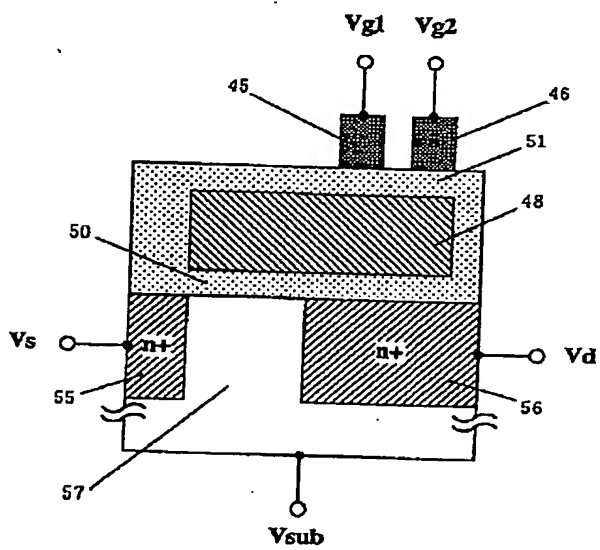
[Drawing 26]



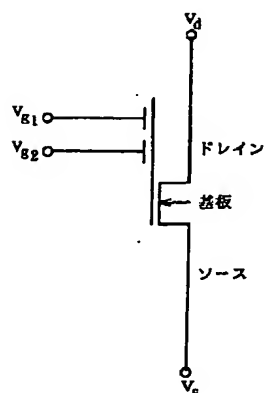
[Drawing 28]



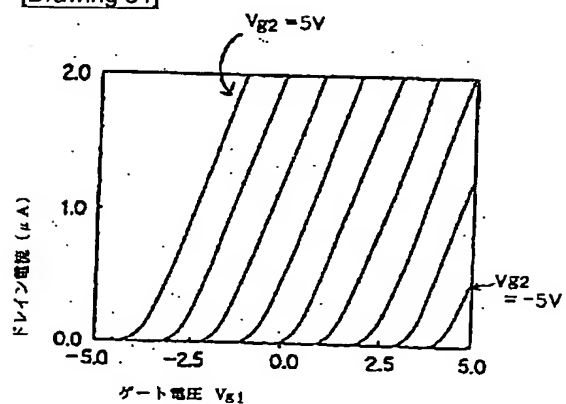
[Drawing 29]



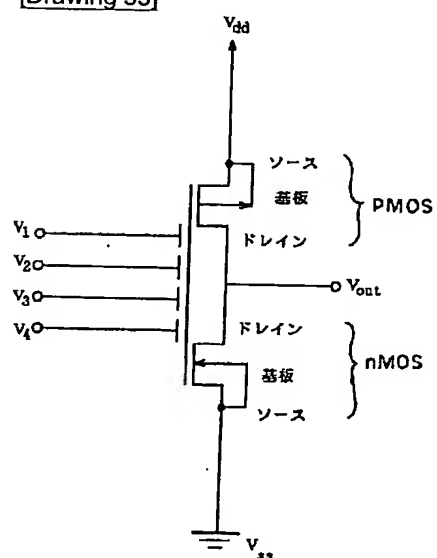
[Drawing 30]



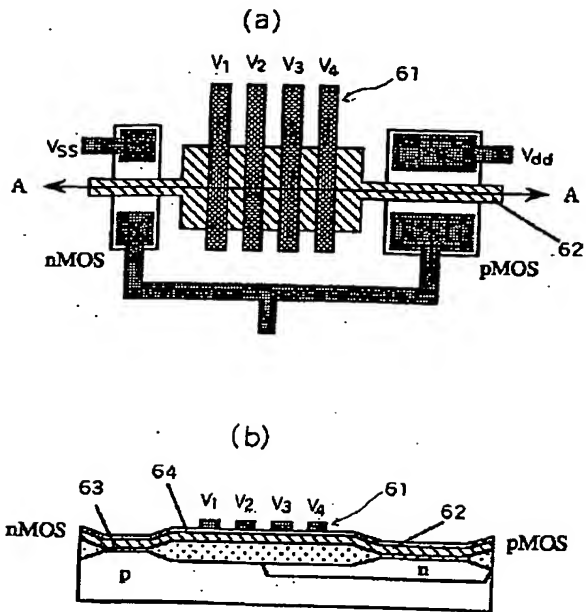
[Drawing 31]



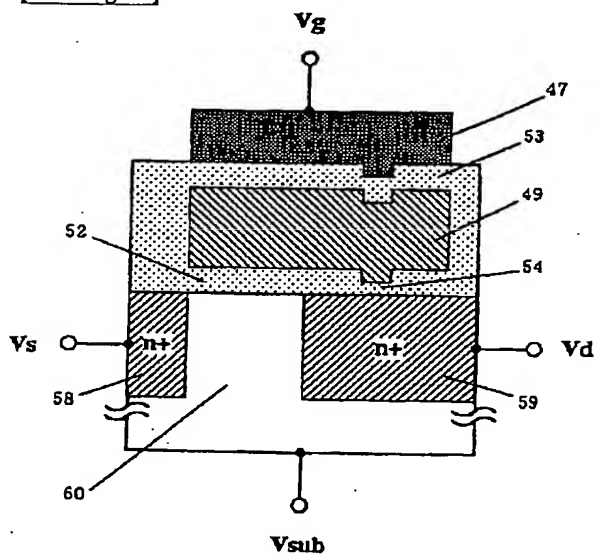
[Drawing 33]



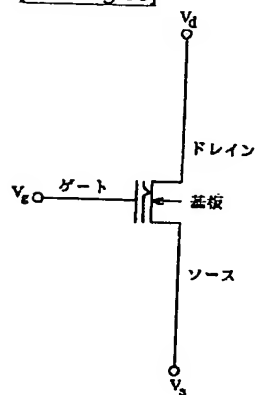
[Drawing 32]



[Drawing 34]



[Drawing 35]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-97906

(43) 公開日 平成9年(1997)4月8日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78			H 0 1 L 29/78	3 0 1 G
H 0 3 K 19/0944		9199-5K	H 0 3 K 19/20	
19/20			H 0 3 M 1/34	
H 0 3 M 1/34			H 0 3 K 19/094	A

審査請求 未請求 請求項の数14 F D (全 20 頁)

(21) 出願番号 特願平7-296187

(22) 出願日 平成7年(1995)10月19日

(31) 優先権主張番号 特願平7-208380

(32) 優先日 平7(1995)7月24日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 佐野 豊

東京都大田区中馬込1丁目3番6号 株式

会社リコー内

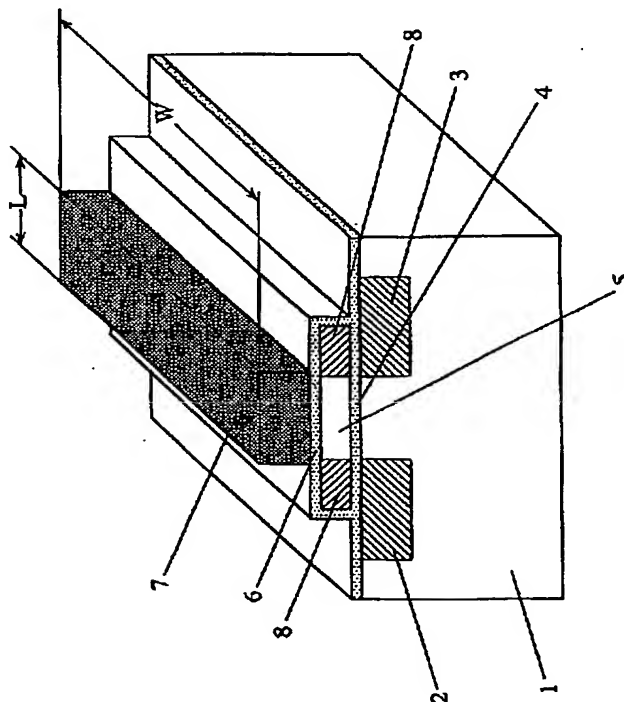
(74) 代理人 弁理士 植本 雅治

(54) 【発明の名称】 半導体装置およびインパータ回路並びにコンパレータ並びにA/Dコンパータ回路

(57) 【要約】

【課題】 高性能なしきい値制御デバイスを実現することができるとともに、デバイスの微細化、高集積化に対応させることができる。

【解決手段】 この半導体装置は、半導体基板1に高濃度に不純物が拡散されたソース電極領域2およびドレイン電極領域3が形成され、また、半導体基板1上には、第1のゲート絶縁膜4、半導体領域5、第2のゲート絶縁膜6が形成され、第2のゲート絶縁膜6上には、ゲート電極7が形成されており、半導体領域5には、ソース・ドレイン・ゲート電極に次ぐ第4の電極として機能する半導体電極領域8が形成されている。



## 【特許請求の範囲】

【請求項1】 半導体基板と、前記半導体基板内に形成されたソース電極領域およびドレイン電極領域と、前記半導体基板上に設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた半導体領域と、前記半導体領域上に設けられた第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられたゲート電極とを備え、前記半導体領域に接して半導体電極領域がさらに設けられていることを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記半導体電極領域と前記ゲート電極とには、それぞれ独立に電圧を印加可能であって、前記半導体電極領域に印加する電圧と前記ゲート電極に印加する電圧を各々独立に変えることによって、前記ソース電極領域とドレイン電極領域との間の前記半導体基板表面に流れるドレイン電流の飽和電流値を制御可能となっていることを特徴とする半導体装置。

【請求項3】 請求項1記載の半導体装置において、前記半導体領域に接する半導体電極領域は、前記半導体基板内に設けられたソース電極領域およびドレイン電極領域と同一の導電型を有していることを特徴とする半導体装置。

【請求項4】 請求項1記載の半導体装置において、前記半導体領域に接する半導体電極領域と、前記半導体基板内に設けられたソース電極領域およびドレイン電極領域とは、同一のセルフアライメント・プロセスによって形成されることを特徴とする半導体装置。

【請求項5】 請求項1記載の半導体装置において、前記半導体領域は、多結晶シリコン薄膜であることを特徴とする半導体装置。

【請求項6】 請求項5記載の半導体装置において、前記多結晶シリコン薄膜は、非晶質化工程およびそれに続く固相成長工程を経て結晶化した多結晶シリコン薄膜であることを特徴とする半導体装置。

【請求項7】 請求項1記載の半導体装置において、前記半導体基板は、絶縁膜上に設けられたシリコン薄膜であることを特徴とする半導体装置。

【請求項8】 請求項1乃至請求項7のいずれか一項に記載の半導体装置を備えていることを特徴とするインバータ回路。

【請求項9】 請求項8記載のインバータ回路において、論理反転電圧が、前記半導体装置の半導体電極領域に印加する電圧を変えることによって制御可能となっていることを特徴とするインバータ回路。

【請求項10】 請求項8記載のインバータ回路において、前記半導体装置として、nチャンネル型の半導体装置とpチャンネル型の半導体装置との互いに導電型の異なる複数の半導体装置が半導体基板上に形成され、互いに導電型の異なる複数の半導体装置によりコンプリメンタリーに構成されていることを特徴とするインバータ回

路。

【請求項11】 半導体基板と、前記半導体基板内に形成されたソース電極領域およびドレイン電極領域と、前記半導体基板上に設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた半導体領域と、前記半導体領域上に設けられた第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられたゲート電極とを備え、前記半導体領域に接して半導体電極領域がさらに設けられている半導体装置が用いられ、前記半導体装置として、nチャンネル型の半導体装置とpチャンネル型の半導体装置との互いに導電型の異なる複数の半導体装置が半導体基板上に形成され、互いに導電型の異なる複数の半導体装置によりコンプリメンタリーに構成されているインバータ回路を備えていることを特徴とするコンパレータ。

【請求項12】 請求項11記載のコンパレータにおいて、前記半導体装置の前記ゲート電極に入力信号電圧を印加し、前記半導体装置の前記半導体領域に接する半導体電極領域に基準電圧を印加するよう構成されていることを特徴とするコンパレータ。

【請求項13】 請求項11記載のコンパレータにおいて、前記半導体基板は、絶縁膜上に設けられたシリコン薄膜であることを特徴とするコンパレータ。

【請求項14】 請求項11または請求項12記載のコンパレータを備えていることを特徴とするA/Dコンバータ回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、MOS構造の半導体装置およびインバータ回路並びにコンパレータ並びにA/Dコンバータ回路に関する。

## 【0002】

【従来の技術】近年、既存のシリコンプロセスをそのまま使用できる機能デバイスとして、ニューロンMOSTランジスタ(νMOS)や、EEPROM(Electrically Erasable Programable Read-Only Memory)が提案されている。

【0003】νMOSは、単体の素子で神経細胞(ニューロン)と同等の働きをする機能を備えたMOSTランジスタであって、例えば、文献「日経マイクロデバイス 1992年1月 第101頁～109頁」、文献「著者「柴田、大見」、信学技報、ICD93-6、第39頁～46頁(1993-04)」に詳細に示されている。

【0004】図29はνMOSの構成例を示す図である。図29を参照すると、νMOSにおいては、半導体基板57に高濃度に不純物が拡散されたソース電極領域55およびドレイン電極領域56が形成され、また、半導体基板57上には、ゲート絶縁膜50、フローティングゲート48、ゲート絶縁膜51が順次に形成され、さらに、ゲート絶縁膜51上には、複数の信号入力ゲート

45, 46が形成されている。

【0005】このような構成の素子では、フローティングゲート48がゲート絶縁膜50, 51によって囲まれており、信号入力ゲート45, 46が、フローティングゲート48と容量結合しており、その重み付き線形和としてゲート電圧が決まる。例えば、信号入力ゲート45とフローティングゲート48とは、容量 $C_1$ で容量結合しており、また、信号入力ゲート46とフローティングゲート48とは、容量 $C_2$ で容量結合している。

【0006】この場合、信号入力ゲート45, 46に加わる電圧をそれぞれ $V_{g1}$ ,  $V_{g2}$ とすると、フローティングゲート48の電位すなわちゲート電圧 $\phi_F$ は、 $\phi_F = (C_1 V_{g1} + C_2 V_{g2}) / (C_1 + C_2)$ となり、ゲート電圧 $\phi_F$ が所定のしきい値電圧 $V_{th}$ 以下のときには、この素子はオフとなり、ゲート電圧 $\phi_F$ が所定のしきい値 $V_{th}$ 以上になると、この素子はオンとなる。なお、図29において、 $V_{sub}$ は基板電圧、 $V_s$ はソース電圧、 $V_d$ はドレイン電圧である。

【0007】図30は、図29に示した構造をもつ2入力 $\mu$ MOSTランジスタの等価回路を示す図であり、また、図31はこの2入力 $\mu$ MOSTランジスタのドレイン電流-ゲート電圧特性の一例を示す図である。簡単のため、容量 $C_1$ ,  $C_2$ をそれぞれ“1”とすると、この2入力 $\mu$ MOSTランジスタでは、 $(V_{g1} + V_{g2}) / 2 > V_{th}$ でランジスタのチャンネル部に電流が流れる。ここで、 $V_{g1}$ を入力電圧、 $V_{g2}$ を制御電圧とみなすと、 $V_{g1}$ から見たランジスタのしきい値電圧が $V_{g2}$ によってコントロールされることになる。チャンネル部を導通させるのに必要な全体としてのゲート電圧は常に一定であるが、ある信号入力ゲートから見た場合には、その部分の見かけ上のしきい値電圧が、他の信号入力ゲートの電圧によって制御されているように見える。このように、図29の $\mu$ MOSでは、可変しきい値デバイスを実現することができる。

【0008】さらに、 $\mu$ MOSをCMOS構成のものとすることができる。図32(a), (b)はCMOS構成の $\mu$ MOSインバータの平面図、断面図であり、図33はCMOS構成の $\mu$ MOSインバータの等価回路を示す図である。ここで、61は入力ゲート、62はフローティングゲート、63と64は各々ゲート酸化膜である。

【0009】また、図34はEEPROMの構成例を示す図である。図34を参照すると、EEPROMにおいては、半導体基板60に高濃度に不純物が拡散されたソース電極領域58およびドレイン電極領域59が形成され、また、半導体基板60上には、ゲート絶縁膜52, フローティングゲート49, ゲート絶縁膜53が順次に形成され、さらに、ゲート絶縁膜53上には、コントロールゲート47が形成されている。

【0010】なお、EEPROMにおいては、 $\mu$ MOSと同様、フローティングゲート49がゲート絶縁膜5

2, 53によって囲まれており、コントロールゲート47がフローティングゲートと容量結合しているが、ゲート絶縁膜52の一部に、膜厚の極めて薄い部分があらかじめ形成されており、あるバイアス状態において、この部分がトンネル酸化膜54として機能し、ドレイン電極領域59とフローティングゲート49との間にトンネル電流が流れるように設計されている。図35は図34のEEPROMの等価回路図である。フローティングゲート49の電位には、トンネル酸化膜54を介して流れるトンネル電流によるドレイン59からの電荷注入がある場合と無い場合とによって、2つの状態が存在する。この状態は、コントロールゲート47から見たランジスタのしきい値電圧の差として認識される。すなわち、コントロールゲート47が、ソース58とドレイン59間の半導体基板60表面近傍に、十分なドレイン電流を誘起するのに必要な電圧には2つの値があることになる。

【0011】このように、 $\mu$ MOS, EEPROMのいずれも、ソース電極領域55, 58、ドレイン電極領域56, 59、シリコン基板57, 60については、従来のMOSデバイスと変わらない構造をしているが、 $\mu$ MOS, EEPROMは、しきい値を可変制御できるという機能を有している点で、従来のMOSデバイスとは異なるものとなっている。なお、EEPROMは、すでにロジック回路において実用化されており、今後はフラッシュメモリとして、ハードディスクにかわる新しいメモリデバイスとして期待されている。一方、 $\mu$ MOSは、メモリ回路等に応用され、従来のCMOSで構成した回路と比較して、格段に素子数を減らすことができるという点で注目されている。

【0012】

【発明が解決しようとする課題】ところで、上述した説明から明らかなように、 $\mu$ MOSのしきい値は、複数の入力ゲートとフローティングゲートとの間の容量によって決定され、従って、ランジスタのしきい値は、ゲートの面積によってコントロールされる。すなわち、プロセス上の微細加工精度がそのまま、このデバイスのアナログ的回路性能の精度を決定してしまう。このプロセス上のゆらぎの影響は、従来のMOSTランジスタの場合に比べて、かなり大きく、そして、この問題は、デバイスの微細化が進むに従ってより深刻なものになっていく。

【0013】また、 $\mu$ MOSは、入力ゲートとフローティングゲートとの間の重なり合う部分を、MOSTランジスタのチャンネル部と容量結合しないように設けなければならないので、必然的にデバイスが2次元的に広がってしまい、本来、高集積化に適した構造のものではない。従って、しきい値を可変に制御できるという高性能の機能を有しているものの、デバイスの微細化、高集積化に対応する構造になっていないという問題があった。

【0014】本発明は、高性能なしきい値制御デバイス

を実現することができるとともに、デバイスの微細化、高集積化に対応させることも可能な半導体装置およびインバータ回路さらにはコンパレータ並びにA/Dコンバータ回路を提供することを目的としている。

【0015】

【課題を解決するための手段】上記目的を達成するために、請求項1乃至請求項7記載の発明では、半導体基板と、半導体基板内に形成されたソース電極領域およびドレイン電極領域と、半導体基板上に設けられた第1のゲート絶縁膜と、第1のゲート絶縁膜上に設けられた半導体領域と、半導体領域上に設けられた第2のゲート絶縁膜と、第2のゲート絶縁膜上に設けられたゲート電極とを備え、半導体領域に接して半導体電極領域を備えており、半導体電極領域およびゲート電極に印加する電圧を各々独立に変えることが可能な構成となっている。これにより、半導体電極領域に印加する電圧をゲート電極に印加する電圧と独立に変えることにより、ソース電極領域とドレイン電極領域との間の半導体基板表面に流れるドレイン電流の飽和電流値を制御することが可能となる。

【0016】また、請求項8乃至請求項10記載の発明では、請求項1乃至請求項7のいずれか一項に記載の半導体装置を用いてインバータ回路を構成している。これにより、このインバータ回路は、論理反転電圧を、前記半導体装置の半導体電極領域に印加する電圧を変えることによって制御することが可能である。

【0017】特に、請求項10記載の発明では、インバータ回路は、半導体装置として、nチャンネル型の半導体装置とpチャンネル型の半導体装置との互いに導電型の異なる複数の半導体装置が半導体基板上に形成され、互いに導電型の異なる複数の半導体装置によりコンプリメンタリーに構成されている。これにより、動作性能の安定化および低消費電力化を図ることができ、よりLSI化に適した回路を提供することができる。

【0018】また、請求項11、請求項12記載の発明によれば、従来のMOSトランジスタと極めて類似した導電機構をもち、かつ、飽和ドレイン電流値を変えることができる4端子素子である、pチャンネルおよびnチャンネルデバイスのコンプリメンタリーな組み合わせによってコンパレータが構成されているので、その構造は従来のものに比べて、はるかに単純であり、従来のコンパレータに比べて高性能のコンパレータを提供することができる。

【0019】また、請求項13記載の発明によれば、半導体基板は、絶縁膜上に設けられたシリコン薄膜であるので、コンパレータの性能をさらに向上させることができる。

【0020】また、請求項14記載のA/Dコンバータ回路は、請求項11、請求項12記載のコンパレータを備えていることから、高速、高精度に動作し、かつ電力

の消費が少ないフラッシュ型A/Dコンバータを、高密度でLSI上に作製することが可能となる。

【0021】このように、本発明では、従来のシリコンプロセスの範囲内で、高性能なデバイスを実現することができる。

【0022】

【発明の実施の形態】図1、図2は本発明に係る半導体装置の構成例を示す図である。なお、図1は斜視図、図2は断面図である。図1および図2を参照すると、この半導体装置は、半導体基板1に高濃度に不純物が拡散されたソース電極領域2およびドレイン電極領域3が形成されている。また、半導体基板1上には、第1のゲート絶縁膜4、半導体領域5、第2のゲート絶縁膜6が形成され、第2のゲート絶縁膜6上には、ゲート電極7が形成されている。

【0023】ここで、半導体領域5には、ソース・ドレイン・ゲート電極に次ぐ第4の電極として機能する半導体電極領域8が形成されている。この半導体電極領域8は、例えば半導体基板1内に形成されているソース電極領域2およびドレイン電極領域3と同一の導電型を有し、後述のように、例えばソース電極2およびドレイン電極領域3と同一のセルフアライメントプロセス(自己整合プロセス)によって作製可能であって、この場合には、図1、図2に示すように、ソース電極領域2およびドレイン電極領域3と整合させて形成される。

【0024】より具体的には、半導体領域5は、例えば多結晶シリコン薄膜(好ましくは、非晶質化工程およびそれに続く固相成長工程を経て結晶化した多結晶シリコン薄膜)であり、半導体電極領域8は、例えばセルフアライメントプロセスによってこの半導体領域5の一部に、ソース電極領域2、ドレイン電極領域3と同じ導電型の高濃度不純物を拡散することによって形成される。

【0025】また、半導体基板1としては、シリコンウェハを用いることもできるし、SOI(Silicon On Insulator)ウェハを用いることもできる。

【0026】図1、図2の半導体装置の構造は、従来のMOSFET(MOS電界効果トランジスタ)のゲート絶縁膜中に、半導体領域を設けたものと等価であると捉えることができる。また、 $\mu$ MOSやEEPROMでは、高濃度に不純物を拡散した半導体電極すなわちフローティングゲートがゲート絶縁膜によって完全に囲まれ、通常の状態では外部から電氣的に完全に絶縁されたフローティング状態となっているのに対し、図1、図2の半導体装置では、半導体領域5がゲート絶縁膜4、6と半導体電極領域8とによって囲まれ、半導体電極領域8によって外部からこの半導体領域5に任意の電圧を印加することができるという点で、 $\mu$ MOS、EEPROMと図1、図2の半導体装置とは構造的に相違している。

【0027】次に、図1、図2の半導体装置の動作原理について説明する。図1、図2の半導体装置において、



ソース電極領域2とドレイン電極領域3との間の半導体基板1の表面は、チャンネル領域CHとして機能し、ソース電極領域2とドレイン電極領域3との間にはこのチャンネル領域CHを介しドレイン電流が流れる。このドレイン電流の大きさは、ソース電極領域2、ドレイン電極領域3、ゲート電極7にそれぞれ印加される電圧の大きさによって変化し、また、半導体領域5に接して設けられている半導体電極領域8(以後、第2ゲート電極と呼ぶ)に印加される電圧の大きさによって変化する。

【0028】換言すれば、図1、図2の半導体装置は、図3に示すような等価回路のものとなり、ソース電圧、ドレイン電圧、ゲート電圧を $V_s$ 、 $V_d$ 、 $V_g$ とすると、 $V_s$ 、 $V_d$ 、 $V_g$ の大きさによって、電流(ドレイン電流)の大きさを制御することができ、また、半導体電極領域すなわち第2ゲート電極8に加わる電圧を $V_h$ とすると、 $V_h$ の大きさによっても、電流(ドレイン電流)の大きさを制御することができる。すなわち、図29に示したMOS素子では、高濃度に不純物を拡散した半導体電極がゲート絶縁膜によって囲まれ、普通の状態では外部から電気的に完全に絶縁されたフローティング状態で存在するのに対し、本発明による半導体装置では、半導体領域がゲート絶縁膜と半導体電極領域とによって囲まれ、外部からこの半導体領域に任意の電圧を印加することができる。なお、図2において、 $V_{sub}$ は基板電圧である。

【0029】いま、図1、図2の半導体装置が例えばnチャンネル型デバイスであるとし、ソース電極領域2が接地( $V_s = 0V$ )され、ゲート電極7にゲート電圧 $V_g$ が印加されてソース電極領域2とドレイン電極領域3との間の半導体基板1表面すなわちチャンネル領域CHに反転層が形成されているものとする。

【0030】この場合、第2ゲート電極8に印加される電圧 $V_h$ が十分に大きいときには、2つのゲート絶縁膜4、6に挟まれた半導体領域5は完全に空乏化される。図4は、このときのドレイン電流とドレイン電圧との関係を示す図である。

【0031】第2ゲート電極8に十分に大きな電圧 $V_h$ が印加され、半導体領域5が完全に空乏化されているときには、図4からわかるように、小さなドレイン電圧 $V_d$ が加えられると、キャリアはチャンネル領域CHを通過して、ソース電極領域2からドレイン電極領域3に向かって流れる。この際、チャンネル領域CHは抵抗として働き、ドレイン電流 $I_d$ の大きさは、ドレイン電圧 $V_d$ にほぼ比例する(図4のA点参照)。

【0032】ドレイン電圧 $V_d$ が増加すると、ドレイン電極領域3から空乏層が伸び、最終的にドレイン電極領域3両端のチャンネル部で、反転層の厚さが“0”になる点(ピンチオフ点)が生ずる(図4のB点参照)。このときのドレイン電圧 $V_d$ は、ピンチオフ電圧( $V_{dsat}$ )と呼ばれ、ドレイン電圧 $V_d$ がピンチオフ電圧 $V_{dsat}$ よりも

大きくなると、ドレイン電流 $I_d$ は、飽和し、ほぼ同じ値(飽和ドレイン電流値 $I_{dsat}$ )をとる(図4のC点参照)。

【0033】このように、第2ゲート電極8に十分大きな電圧 $V_h$ が印加され、2つのゲート絶縁膜4、6に挟まれた半導体領域5が完全に空乏化されている場合には、ゲート電極7とチャンネル領域CHとの間のゲート絶縁膜の見かけ上の誘電率は、2つのゲート絶縁膜4、6とこれらの間に挟まれている半導体領域5との誘電率によって決まる値を持ち、従って、ゲート電極とチャンネル領域との間に所定誘電率のゲート絶縁膜が設けられている従来のMOSトランジスタと等価な特性を有する。従って、このときのドレイン電流は、従来のMOSトランジスタに流れるドレイン電流と等価であると見なすことができる。

【0034】これに対し、第2ゲート電極8に印加される電圧 $V_h$ が小さいときには、2つのゲート絶縁膜4、6に挟まれた半導体領域5は完全には空乏化されない。図5は、このときのドレイン電流とドレイン電圧との関係を示す図である。なお、図5には、比較のため、第2ゲート電極8に印加される電圧 $V_h$ が大きい場合のドレイン電流とドレイン電圧との関係も破線で示されている。

【0035】図5を参照すると、第2ゲート電極8に印加される電圧 $V_h$ が小さく、半導体領域5が完全には空乏化されていないときには、第2ゲート電極8に十分に大きな電圧 $V_h$ が印加されて半導体領域5が完全に空乏化される場合に比べて、ドレイン電極領域3からの電界が、ゲート電極7からの電界よりも相対的に大きくなり、その結果、ピンチオフ電圧 $V_{dsat}'$ は、半導体領域5が完全に空乏化される場合のピンチオフ電圧 $V_{dsat}$ よりも小さくなる。このように、飽和ドレイン電流値 $I_{dsat}'$ を、第2ゲート電極8に印加される電圧 $V_h$ によって $I_{dsat}$ 以下に制御することが可能となる。すなわち、図1、図2の半導体装置では、第2ゲート電極8への印加電圧により、飽和ドレイン電流値を可変に制御することができる。すなわち、第2ゲート電極8に印加する電圧 $V_h$ とゲート電極7に印加する電圧 $V_g$ とを各々独立に変えることによって、ソース電極領域2とドレイン電極領域3との間の半導体基板表面に流れるドレイン電流 $I_d$ の飽和電流値を制御することが可能になる。

【0036】図6(a)、(b)は、本発明の半導体装置の具体例の構成図である。なお、図6(a)は平面図、図6(b)は図6(a)のA-A線における断面図である。図6(a)、(b)を参照すると、この半導体装置は、nチャンネル型デバイスとして構成されており、半導体基板1としてp型のシリコンウェハ(シリコン基板)を用い、このp型のシリコンウェハ1内に、n型の不純物が高濃度に拡散されたソース電極領域2およびドレイン電極領域3が形成されている。また、このソース電極領域2とドレ

イン電極領域3との間のシリコンウェハ1上には、第1のゲート絶縁膜4としてのシリコン酸化膜、半導体領域5としての多結晶シリコン薄膜、第2のゲート絶縁膜6としてのシリコン酸化膜が順次に形成され、また、第2のゲート絶縁膜としてのシリコン酸化膜6上には、ゲート電極7として $n^+$ 型ポリシリコン電極が形成されており、さらに、半導体領域としての多結晶シリコン薄膜5と接して、半導体電極領域(第2ゲート電極)8としての $n^+$ 型ポリシリコン電極が形成されている。

【0037】なお、図6(a)、(b)において、17は層間絶縁膜、26はフィールド酸化膜、18、19、20、21は、それぞれ、ソース電極2、ドレイン電極3、ゲート電極7、第2ゲート電極8のアルミ電極配線であり、各々、コンタクトホール22、23、24、25を介して電氣的に各電極2、3、7、8と接続されている。

【0038】図7(a)乃至(d)は、図6の半導体装置の作製工程を示す図である。図7(a)乃至(d)を参照すると、まず、図7(a)に示すように、 $p$ 型シリコン基板1上にLOCOS法によりフィールド酸化膜26を形成し、基板表面を分離することにより、活性層領域を形成する。そして、分離領域表面に、第1のゲート絶縁膜としてのシリコン酸化膜4をドライ酸化法によって10nm形成する。酸化温度は900℃以下になるようにした。さらに、チャンネル部のしきい値調整のために、第1のゲート絶縁膜であるシリコン酸化膜4の上からボロニオン29をチャンネルドーピングする。

【0039】次に、図7(b)に示すように、シリコン酸化膜4上に半導体領域としての多結晶シリコン薄膜5をLPCVD(減圧化学的気相成長)法によって30nm成膜し、これを所定の形状にパターンニングする。この際、多結晶シリコン薄膜の成膜条件は、例えば、基板温度630℃、圧力0.1 Torr、 $SiH_4$ ガス流量200SCCMとする。その後、第2のゲート絶縁膜としてのシリコン酸化膜6をLPCVD法によって10nm形成する。この時の成膜条件は、例えば、基板温度800℃、圧力0.9 Torr、 $SiH_4$ ガス流量30SCCM、 $N_2O$ ガス流量1000SCCMとする。さらに、多結晶シリコン薄膜5中の不純物濃度を調整するために、第2のゲート絶縁膜であるシリコン酸化膜6の上からボロニオン32を注入する。多結晶シリコン薄膜5中の不純物濃度は、この後形成される第2ゲート電極8が、ソース電極2・ドレイン電極3間を流れるドレイン電流をどの程度効果的に制御できるかを決定する上で重要である。

【0040】次に、図7(c)に示すように、リンをドーピングしたポリシリコン薄膜7をLPCVD法によって30nm成膜し、所定の形状にレジスト34を形成し、このレジスト34をマスクとしてポリシリコン薄膜を所定の形状にパターンニングしてゲート電極7を形成する。この

ときの成膜条件は、例えば、基板温度500℃、圧力0.9 Torr、 $Si_2H_6$ ガス流量90SCCM、 $PH_3$ ガス流量10SCCM、 $N_2$ ガス流量800SCCMとする。そして、ゲート電極7をパターンニングしたときにマスクとして使ったレジスト34を残した状態で、ソース電極領域2、ドレイン電極領域3、第2ゲート電極8を形成するためにリンイオン35を注入する。リンイオン35の注入は、注入エネルギーとドーズ量の組み合わせを変えて2回以上行なう。例えば、1回目の注入エネルギーは30keV、ドーズ量は $2E15cm^{-2}$ 、2回目は各々90keV、 $5E15cm^{-2}$ とする。ここでイオン注入を多段に分けて行なうのは、ソース電極、ドレイン電極、ゲート電極、第2ゲート電極の形成工程を、セルフアライメントプロセスによって一括で形成するためである。すなわち、本発明の半導体装置は、3次元方向に拡張した構造をもち、このような3次元方向に拡張した構造をもつデバイスの作製にあたっては、プロセスを簡略にし、かつ、デバイスの性能のばらつきを小さく抑えることが非常に重要であり、従って、注入エネルギーが低い時に第2ゲート電極となる領域に不純物イオンを注入する一方、注入エネルギーが高い時にソース電極あるいはドレイン電極となる領域に不純物イオンを注入するというように、セルフアライメントプロセスに多段のイオン注入工程を組み込むことで、3次元方向に拡張した構造をもつデバイスを作製する場合にも、プロセスを簡略化し、かつ、デバイスの性能を高精度のものに維持できる。

【0041】このようにして、多段に分けてイオン注入を行なった後、イオン注入により導入された不純物の活性化を行なうと、図7(d)に示すように、ソース電極領域2、ドレイン電極領域3、第2ゲート電極8が形成され、本発明の半導体装置の基本的な構造が形成される。この後、層間絶縁膜の堆積、コンタクトホールの形成、アルミ電極配線の形成、メタライゼーションの各工程を経て、 $n$ チャンネル型の新規構造デバイスを得ることができる。

【0042】このように、本発明の半導体装置の作製にあたっては、従来のシリコンプロセス技術の範囲内で十分に対処できる。

【0043】図8には、図6に示す半導体装置において、チャンネル長 $L$ を $2\mu m$ 、チャンネル幅 $W$ を $4\mu m$ 、シリコン基板のチャンネル部分CHの不純物の型、不純物濃度を $p$ 型、 $1E16cm^{-3}$ 、多結晶シリコン薄膜5の不純物の型、不純物濃度を $p$ 型、 $1E17cm^{-3}$ とし、ゲート電極7および第2ゲート電極8を $n^+$ 型ポリシリコンとした時の、ドレイン電流特性が示されている。なお、ドレイン電流特性を求めるのに、図9に示すように、ソース電極2を接地し(すなわち、 $V_s = 0$ とし)、ゲート電極7の電圧 $V_g$ を0.0V~5.0Vまで0.5Vずつ変化させ、また、第2ゲート電極8の電圧

$V_h$ を0V~5Vまで1Vずつ変化させて、ドレイン電圧 $V_d$ に対するドレイン電流 $I_d$ を求めた。図8から、ドレイン電流 $I_d$ の飽和電流値が、第2ゲート電極に印加する電圧 $V_h$ によって制御されていることがわかる。

【0044】なお、上述の例では、本発明の半導体装置をnチャンネル型デバイスとして構成したが、本発明の半導体装置はpチャンネル型デバイスとして構成することもでき、この場合でも、nチャンネル型デバイスと同様に作製でき、また、同様に動作させることができる。

【0045】すなわち、上述したnチャンネル型デバイスの作製方法と同様にして、pチャンネル型のデバイスを作製することができる。

【0046】また、図1乃至図3の半導体装置は、従来のMOSFETと同様、インバータ回路に用いることができる。図10は図1乃至図3の半導体装置を適用したインバータ回路を示す図である。図10のインバータ回路は、基本的には、従来のMOSFETと全く同じ動作をするが、図1乃至図3の半導体装置では、飽和ドレイン電流値が、第2ゲート電極に印加される電圧 $V_h$ によってコントロールされるので、図10に示すようなインバータ回路としての動作を考えたとき、その論理反転電圧が、第2ゲート電極8に印加される電圧 $V_h$ を変えることによって制御可能となる。

【0047】また、図1乃至図3の半導体装置として、nチャンネル型のもの(ソース電極領域2、ドレイン電極領域3、半導体電極領域8がn型)とpチャンネル型のもの(ソース電極領域2、ドレイン電極領域3、半導体電極領域8がp型)との互いに導電型の異なる複数の半導体装置を半導体基板1上に形成し、これら複数の半導体装置により、インバータ回路をコンプリメンタリー(相補的)に構成することも可能である。すなわち、nチャンネル型デバイスとpチャンネル型のデバイスとを組み合わせで作製することもできる。この場合には、動作性能の安定化および低消費電力化を図ることができ、よりLSI化に適した回路を提供することができる。

【0048】図11には、互いにコンプリメンタリー(相補的)なnチャンネル型デバイスおよびpチャンネル型デバイスで構成されたインバータ回路の構成例が示されている。すなわち、図11の例では、この第1の実施例の半導体装置として、nチャンネル型の半導体装置(nMOSデバイス)SC<sub>1</sub>とpチャンネル型の半導体装置(pMOSデバイス)SC<sub>2</sub>との2種類のものを用い、CMOS構造のものにしてインバータ回路を構成している。なお、図11の例では、両者の第2ゲート電極が共通な電極として接続され、これらに電圧 $V_h$ が印加されるようになっている。また、 $V_{in}$ は入力電圧、 $V_{out}$ は出力電圧、( $V_{dd}-V_{ss}$ )はインバータ回路の電源電圧である。

【0049】このようなpチャンネル型の半導体装置とnチャンネル型の半導体装置とによりコンプリメンタリー

に構成されているインバータ回路の動作原理について説明する。

【0050】より詳細に、図11においては、p型のシリコン基板123上にはnチャンネル型デバイスSC<sub>1</sub>が形成され、n型のシリコン基板124上にはpチャンネル型デバイスSC<sub>2</sub>が形成されている。nチャンネル型デバイスSC<sub>1</sub>(pチャンネル型デバイスSC<sub>2</sub>)では、ソース電極領域109(110)とドレイン電極領域111(112)とが、シリコン基板123(124)の表面および内部に形成され、また、このソースおよびドレイン間のシリコン基板123上には、第1のゲート絶縁膜となるシリコン酸化膜113(114)、半導体領域となる多結晶シリコン薄膜115(116)、第2のゲート絶縁膜となるシリコン酸化膜117(118)、ゲート電極となるポリシリコン電極119(120)とが順次に形成され、さらに、2つのシリコン酸化膜113(114)と117(118)に挟まれた多結晶シリコン薄膜115(116)と接して、半導体電極(第2ゲート電極)としてのポリシリコン電極121(122)が形成されている。そして、nチャンネル型デバイスSC<sub>1</sub>のドレイン電極領域111、ゲート電極119、半導体電極121は、各々、pチャンネル型デバイスSC<sub>2</sub>のドレイン電極領域112、ゲート電極120、半導体電極122と接続され、ゲート電極119、120には入力電圧 $V_{in}$ が加わり、ドレイン電極領域111、112からは出力電圧 $V_{out}$ が取り出され、また、半導体電極121、122には制御電圧 $V_h$ が加わるようになっている。また、nチャンネル型デバイスSC<sub>1</sub>のソース電極109は接地され(接地電位 $V_{ss}$ に保持され)、pチャンネル型デバイスSC<sub>2</sub>のソース電極110には電源電圧 $V_{dd}$ が印加されている。

【0051】図12は、本発明の半導体装置を用いたコンプリメンタリー(相補的)な構成を持つインバータ回路の等価回路を示す図であり、また、図13は、このインバータ回路の入出力特性の測定結果を示す図である。すなわち、図13の測定結果は、第2ゲート電極8に印加する電圧 $V_h$ を、0.5V~3.5Vの範囲で0.5V間隔で変えて、入力電圧 $V_{in}$ に対する出力電圧 $V_{out}$ を測定したものである。図13から、第2ゲート電極8に印加する電圧 $V_h$ によって、インバータ回路の論理反転電圧を制御可能なことがわかる。

【0052】図14は、論理反転電圧 $V_{inv}$ と第2ゲート電極に印加する電圧 $V_h$ との関係の測定結果を示す図であり、図14の測定結果は、インバータ回路の電源電圧( $V_{dd}-V_{ss}$ )を、3V、4V、5Vにそれぞれ設定した時の電圧 $V_h$ に対する論理反転電圧 $V_{inv}$ を測定したものである。図14の測定結果からも、電圧 $V_h$ によって論理反転電圧 $V_{inv}$ を変に制御できることがわかる。また、図11に示したコンプリメンタリーな構成は、動作性能の安定化および低消費電力を図る上で、非常に有

効である。

【0053】また、図11、図12のインバータ回路(新素子によるCMOSインバータ)は、ゲート電極119、120に加わる電圧 $V_{in}$ と半導体電極121、122に加わる電圧 $V_h$ とを比較し、 $V_h < V_{in}$ のときには、出力 $V_{out}$ が0Vとなり、 $V_h > V_{in}$ のときには、出力 $V_{out}$ が $V_{dd}$ となり、このことから図15に示すようなコンパレータとして機能することがわかる。すなわち、図11のインバータ構成において、ゲート電極119、120をコンパレータの信号入力端子として機能させ、半導体電極121、122をコンパレータの基準電圧入力端子として機能させ、ドレイン電極領域111、112をコンパレータの出力端子として機能させることができる。このように、非常に単純な構造をもった図1乃至図3の半導体装置(新素子)をコンプリメンタリーに構成することによって、コンパレータとしての機能をも実現することができる。

【0054】図16、図17は、本発明の新構造素子によって構成されたコンパレータの構成図である。なお、図16は平面図、図17は図16のA-A線における断面図である。図16、図17を参照すると、このコンパレータは、n型のシリコン基板127に、リンおよびボロンをイオン注入してnウェル128およびpウェル129がそれぞれ形成され、nウェル128内にpチャンネル型デバイス $SC_2$ が形成され、pウェル129内にnチャンネル型デバイス $SC_1$ が形成されている。

【0055】ここで、pチャンネル型デバイス $SC_2$ は、nウェル128内にp型の不純物が高濃度に拡散されたソース130およびドレイン電極領域131を有している。そして、このソース130およびドレイン電極131間のnウェル128上には、第1のゲート絶縁膜となるシリコン酸化膜132、n型半導体領域となる多結晶シリコン薄膜133、第2のゲート絶縁膜となるシリコン酸化膜134、ゲート電極となる $n^+$ ポリシリコン電極135が順次に形成され、さらに、2つのシリコン酸化膜132、134に挟まれた多結晶シリコン薄膜133と接して、半導体電極(第2ゲート電極)としての $p^+$ ポリシリコン電極136が形成されている。

【0056】また、nチャンネル型デバイス $SC_1$ はpウェル129内にn型の不純物が高濃度に拡散されたソース138およびドレイン電極領域139を有している。そして、このソース138およびドレイン電極139間のpウェル129上には、第1のゲート絶縁膜となるシリコン酸化膜140、p型半導体領域となる多結晶シリコン薄膜141、第2のゲート絶縁膜となるシリコン酸化膜142、ゲート電極となる $n^+$ ポリシリコン電極143が順次に形成され、さらに、2つのシリコン酸化膜140、142に挟まれた多結晶シリコン薄膜141と接して、半導体電極(第2ゲート電極)としての $n^+$ ポリシリコン電極144が形成されている。なお、15

4は層間絶縁膜、155はフィールド酸化膜である。

【0057】また、pチャンネル型デバイス $SC_2$ およびnチャンネル型デバイス $SC_1$ のゲート電極135および143は、コンタクトホール146を介してアルミ電極配線147と共通に接続され、ゲート電極135、143が信号入力端子 $V_{in}$ として機能するようになっている。また、pチャンネル型デバイス $SC_2$ のドレイン電極131とnチャンネル型デバイス $SC_1$ のドレイン電極139とは、それぞれ、コンタクトホール148と149とを介してアルミ電極配線152に共通接続され、ドレイン電極131、139が出力端子 $V_{out}$ として機能するようになっている。また、pチャンネル型デバイス $SC_2$ の半導体電極136とnチャンネル型デバイス $SC_1$ の半導体電極144とは、それぞれ、コンタクトホール150と151とを介してアルミ電極配線153に共通接続され、半導体電極136、144が基準電圧入力端子 $V_h$ として機能するようになっている。

【0058】図18、図19は、本発明によるコンパレータの作製工程を示す図である。まず、図18(a)に示すように、n型シリコン基板127上にリンイオンを注入することによりnウェル128を形成し、また、ボロンイオンを注入することによりpウェル129を形成して、ツインタブ構造を作製する。次いで、LOCOS法によりフィールド酸化膜155を形成し、基板表面を分離することにより、活性層領域を形成する。そして、分離領域表面に、第1ゲート絶縁膜としてシリコン酸化膜132、140をドライ酸化法によって10nm形成する。酸化温度は900℃以下になるようにした。さらに、チャンネル部のしきい値調整のために、シリコン酸化膜132の上からリンをイオン注入し、また、シリコン酸化膜140の上からボロンをイオン注入し、nウェル128、pウェル129の表面の不純物濃度を目的の値にする。

【0059】次いで、図18(b)に示すように、シリコン酸化膜132、140上に半導体領域として、それぞれ、多結晶シリコン薄膜133、141をLPCVD(減圧化学的気相成長)法によって30nm成膜し、所定の形状にパターニングする。多結晶シリコン薄膜の成膜条件は、例えば、基板温度630℃、圧力0.1 Torr、 $SiH_4$ ガス流量200 SCCMとする。その後、第2のゲート絶縁膜として、それぞれ、シリコン酸化膜134、142をLPCVD法によって10nm形成する。この時の成膜条件は、例えば基板温度800℃、圧力0.9 Torr、 $SiH_4$ ガス流量30 SCCM、 $N_2O$ ガス流量100 SCCMとする。さらに、多結晶シリコン薄膜133中の不純物濃度を調整するために、第2ゲート絶縁膜であるシリコン酸化膜134の上から、リンをイオン注入する。同様に、多結晶シリコン薄膜141中の不純物濃度を調整するために、第2ゲート絶縁膜であるシリコン酸化膜142の上からボロンをイオン注

入する。多結晶シリコン薄膜133, 141中の不純物濃度は、この後形成される第2ゲート電極が、どの程度効果的に、このpチャンネル型デバイス、nチャンネル型デバイスのソース・ドレイン電極間を流れるドレイン電流を制御できるかを決定するので、このイオン注入工程は重要である。

【0060】次に、図18(c)に示すように、リンをドーパしたポリシリコン薄膜をLPCVD法によって300nm成膜し、所定の形状にパターニングして、それぞれ、ゲート電極135, 143を形成する。成膜条件は、例えば基板温度500℃、圧力0.9 Torr、 $\text{Si}_2\text{H}_6$ ガス流量90 SCCM、 $\text{PH}_3$ ガス流量10 SCCM、 $\text{N}_2$ ガス流量800 SCCMとする。そして、ゲート電極135, 143をパターニングした時にマスクとして用いたレジストパターン164を残した状態で、さらに、nチャンネル型デバイスを作製する領域を覆うようにレジストパターン165でマスクする。そして、pチャンネル型デバイスのソース電極、ドレイン電極、第2ゲート電極を形成するために、ボロンイオン166を注入する。このイオン注入は、注入エネルギーとドーズ量の組み合わせを変えて2回以上行なう。例えば1回目の注入エネルギーは、30 keV、ドーズ量 $2 \times 10^{15} \text{ cm}^{-2}$ 、2回目は各々45 keV、 $4 \times 10^{15} \text{ cm}^{-2}$ とする。ここでイオン注入を多段に分けて行なうのは、pチャンネル型デバイスのソース電極、ドレイン電極、ゲート電極、第2ゲート電極の形成工程を、セルフアライメントプロセスによって一括形成するためである。すなわち、注入エネルギーが低い時には第2ゲート電極となる領域に不純物が注入され、一方、注入エネルギーが高い時には、ソース電極あるいはドレイン電極となる領域に不純物が注入される。3次元方向に拡張した構造をもつ本デバイスの作製にあたっては、プロセスを簡略にし、かつ、素子間の性能のばらつきを小さく抑えることが非常に重要である。上述のように、セルフアライメントプロセスに多段のイオン注入工程を組み込んだこの方法は、その意味で非常に有効である。

【0061】この後、レジストパターン164および165を除去し、図19(d)に示すように、pチャンネル型デバイスを作製する領域を覆うようにレジストパターン167でマスクする。そして、nチャンネル型デバイスのソース電極、ドレイン電極、第2ゲート電極を形成するために、リンイオン168を注入する。イオン注入の条件は、pチャンネル型デバイスの場合と同様に、注入エネルギーとドーズ量の組み合わせを変えて2回以上行なう。例えば1回目の注入エネルギーは、30 keV、ドーズ量 $2 \times 10^{15} \text{ cm}^{-2}$ 、2回目は各々90 keV、 $5 \times 10^{15} \text{ cm}^{-2}$ とする。このようにして、nチャンネル型デバイスも、pチャンネル型デバイスと同様に、セルフアライメントプロセスによって作製される。

【0062】引き続き、イオン注入により導入された

不純物の活性化を行なうと、図19(e)に示すように、pチャンネル型デバイス $\text{SC}_2$ のp<sup>+</sup>ソース電極領域130、p<sup>+</sup>ドレイン電極領域131、p<sup>+</sup>第2ゲート電極136が形成され、また、nチャンネル型デバイス $\text{SC}_1$ のn<sup>+</sup>ドレイン電極領域139、n<sup>+</sup>ソース電極領域138、n<sup>+</sup>第2ゲート電極144が形成されて、本発明によるコンパレータの基本的な構造ができる。この後、層間絶縁膜の堆積、コンタクトホール形成、アルミ電極配線の形成、メタライゼーションの各工程を経て、新構造をもったpチャンネル型デバイスとnチャンネル型デバイスとによりコンプリメンタリーに構成されているコンパレータが得られる。

【0063】このように、本発明のコンパレータの作製にあたっては、従来のシリコンプロセス技術の範囲内で十分に対処できる。

【0064】上述の方法によって作製したコンパレータを構成しているnチャンネル型デバイスのドレイン電流特性は、チャンネル長 $L$ を $2 \mu\text{m}$ 、チャンネル幅 $W$ を $4 \mu\text{m}$ 、シリコン基板のチャンネル部分の不純物の型、不純物濃度をp型 $1 \times 10^{17} \text{ cm}^{-3}$ 、多結晶シリコン薄膜半導体の不純物の型、不純物濃度をp型 $1 \times 10^{16} \text{ cm}^{-3}$ 、ゲート電極および第2ゲート電極をn<sup>+</sup>ポリシリコンとした時に、図8と同様の特性となり、ドレイン飽和電流値が、第2ゲート電極に印加する電圧 $V_h$ によって制御されていることがわかる。

【0065】また、図20には、このような新構造をもったpチャンネル型デバイスとnチャンネル型デバイスとによりコンプリメンタリーに構成されたコンパレータの入出力特性の一例が示されている。なお、図20の例では、コンパレータの電源電圧 $V_{dd}$ が3Vとなっている。また、図21には、このコンパレータの論理反転電圧 $V_{inv}$ と第2ゲート電極に印加する電圧 $V_h$ との関係が示されている。図20、図21から第2ゲート電極に印加する電圧 $V_h$ によって、コンパレータの論理反転電圧が制御可能なことがわかる。

【0066】さらに、上述したコンパレータを用いて、A/Dコンバータ回路を実現することもできる。本発明のA/Dコンバータ回路を説明するに先立って、従来のA/Dコンバータ回路について先ず説明する。近年、VLSI技術の進歩によるシステムのデジタル化に伴い、A/Dコンバータ(アナログ/デジタル変換器)の高速、高精度化への要求は、ますます強くなってきている。特に、デジタルビデオ機器や計測器においては、その性能がA/Dコンバータの性能に左右されていると言っても過言ではない。このような高速のA/D変換に適しているのが、フラッシュ(flash: 並列)型A/Dコンバータである。

【0067】図22には、nビットのフラッシュ型A/Dコンバータの構成が示されている。図22を参照すると、nビットのフラッシュ型A/Dコンバータでは、2



$n-1$  個のコンパレータ列 84 に入力信号電圧が共通に印加され、各コンパレータには、抵抗列 83 により発生した(分割された)  $2^{n-1}$  個の基準電圧が供給されている。各コンパレータには入力端子から入力信号電圧  $V_{in}$  が印加され、この入力信号電圧  $V_{in}$  よりも高い基準電圧のコンパレータの出力はすべて“0”、それより低い基準電圧のコンパレータの出力はすべて“1”となる。これらのコンパレータの出力(温度計の表示と似ているので、サーモメータコードと呼ばれている)は、“0”と“1”との境目が微分回路 85 によって検出され、この  $n$  ビットの出力は、さらにエンコーダ 86 によって 2 進  $n$  ビットのデジタル信号に変換され、出力端子  $D_n, D_{n-1}, D_{n-2}, \dots, D_2, D_1$  からデジタル信号として出力される。

【0068】このようなフラッシュ型 A/D コンバータに用いられるコンパレータは、従来では、ほとんど、バイポーラ素子によって構成されていた。図 23 には、その一例が示されている(“リニアサーキットデータブック”, 日本テキサス・インスツルメンツ株式会社, 8-53 (1989) から引用)。各コンパレータが図 23 のような構成のものとなっている場合、個々のコンパレータは多数の素子を含んでいるので、従来のフラッシュ型 A/D コンバータでは、コンパレータ間の特性のばらつきの幅を小さく抑えることが、プロセスおよび設計上の理由により、非常に難しかった。

【0069】コンパレータ間の特性のばらつきは、フラッシュ型 A/D コンバータを高速、高精度化する上で、次のような問題を引き起こすことが知られている。すなわち、コンパレータアレイの出力は、前述したように、理想的には、下位から“1”が連続し、ある一箇所を境にそれより上位は“0”が連続するサーモメータコードであるが、実際には、個々のコンパレータの性能のばらつきに起因するジッタによって、コードには複数の変化点が現われてしまうことがある。そして、この誤ったコードをエンコーダによってバイナリコードに変換するときに、大きな誤差を生じてしまう(これを、A/D コンバータのグリッチと呼ぶ)。このため、従来の A/D コンバータでは、高周波入力時にエラーの発生が著しく、実使用限度は、カタログ値よりもかなり低いのが現状であった。すなわち、回路規模の増大、そしてジッタや負荷容量の増大によって、フラッシュ型 A/D コンバータの高速、高精度化には限界があった。

【0070】このような点を改善するために、従来、種々の回路的工夫が、フラッシュ型 A/D コンバータに図られてきた。例えば図 24 に示すように、本来、並列型の A/D コンバータでは不要なサンプル&ホールド回路( $S/H-1, S/H-2$ )を設けて、アナログ入力信号電圧を標準化して保持し、上位と下位のビットに分けて並列変換を行なう直並列型(Multi-step Flash) A/D コンバータが提案されている(楠, 岩田, 赤沢: “VLS

I のためのアナログ技術”, 共立出版, p184(1989))。そして、さらには、これらのコンパレータにラッチを付加しデータを一時的に記憶することにより、直並列型の各段をパイプライン動作させる縦続型という方法も提案されている。

【0071】しかしながら、これらの方式では、回路の構成を複雑化し、システム設計側の負担を大きくさせるという新たな問題が生じてしまう。

【0072】また、フラッシュ型 A/D コンバータ、特にコンパレータは、上述のように、バイポーラトランジスタで構成されている非飽和型理論に基づくアナログ回路なので、その消費電力は、飽和型理論に基づくデジタル回路、すなわち CMOS LSI に比べて大きく、チップからの放熱を抑えることは難しい。そのため、A/D コンバータとしての性能は、温度によって大きく変動してしまう。最近になって、図 25 に示すように、バイポーラ素子を使う代わりに、MOS トランジスタによるチョッパ型コンパレータで構成した CMOS・2 段階並列型 A/D コンバータも実現されている(松沢: “高速 A/D コンバータの現状と将来動向”, ICD91-84, p. 21-28)。ここで、87 は従来の CMOS インバータである。しかしながら、既に述べた様に、従来の CMOS インバータを用いる場合、システム設計側の負担を増やすことは避けられないし、消費電力にしても従来のバイポーラ素子を使ったものに比べて、2 分の 1 以下に低減する程度にとどまっている。

【0073】さらに、集積度に関しても、従来のバイポーラトランジスタで構成されているフラッシュ型 A/D コンバータはもちろんのこと、最新の CMOS・2 段階並列型 A/D コンバータでさえも、その回路構成が複雑であるために、これ以上の高集積化が難しい。

【0074】以上に述べたように、フラッシュ型 A/D コンバータの高速、高精度化への様々な改善方法は、まだ十分に満足できるものではない。こうした従来の改善方法に代わって、図 1 乃至図 3, 図 6, 図 9 の半導体装置、特に、図 11, 図 12 に示したようなインバータ回路を用いて、図 15, 図 16, 図 17 に示したようなコンパレータを構成し、このコンパレータを用いてフラッシュ型 A/D コンバータ回路を構成することにより、上述の問題を回避することができる。すなわち、現在の半導体集積回路技術の中で基幹をなすシリコンのプロセスおよびデバイス技術の範囲内で、高性能な(高速かつ高精度の)コンパレータおよびそれを応用したフラッシュ型 A/D コンバータ回路を実現することが可能となる。

【0075】図 26 は図 15, 図 16, 図 17 に示したコンパレータを用いて構成された 8 ビットフラッシュ型 A/D コンバータの構成図である。図 26 において、75 は抵抗列、76 は本発明による 255 個のコンパレータ列、77 は EXOR (排他的論理和) 列の微分回路、78 は 2 進デジタル信号に変換するエンコーダである。ま

た、79はクロック発生回路である。図26の8ビットフラッシュ型A/Dコンバータでは、従来のものに比較して、高速、高精度かつ低消費電力化を図ることが可能であり、実際、高速、高精度かつ低消費電力化を図れることが確認できた。

【0076】このように、本発明によれば、飽和ドレイン電流値制御デバイスを構成する半導体素子を、非常に単純な新構造を持った4端子デバイスで実現できる。この新構造デバイスは、従来のMOSTランジスタと類似した導電機構を持ち、互いにコンプリメンタリーな構成をとることができ、さらには、しきい値制御デバイスと同様に従来のCMOSデバイスで構成した回路と比較して、素子数を減らすことができる。

【0077】さらに、本発明による新規構造デバイスは、従来のMOSTランジスタとほとんど変わらないプロセスで作製することができ、かつ、不純物濃度、シリコン膜厚、酸化膜膜厚、ゲート長といった、従来と何ら変わらないプロセス制御技術の範囲内で作製できるので、MOSTランジスタのように寸法精度によってデバイスの性能が大きく左右されることもない。従って、今後さらに微細化が進むシリコン半導体プロセスの中にあつて、この新デバイスは非常に有望なものとなる。

【0078】また、本発明による新規構造デバイスは、3次元方向に構造を拡張して新機能を創り出しているので、従来のMOSTランジスタと全く変わらない集積化が可能である。

【0079】なお、上述した各例では、半導体装置の基板としてシリコンウェハを用いたが、これのかわりに、例えば、SOI (Silicon On Insulator) ウェハを用いることもできる。図27は、図6の半導体装置の変形例を示す図(断面図)である。図27を参照すると、この半導体装置は、シリコン基板11及び絶縁膜42と、絶縁膜42上のシリコン薄膜41とにより構成され、また、2つのゲート酸化膜4、6に挟まれた多結晶シリコン薄膜5が非晶質シリコン薄膜を固相成長によって結晶化した多結晶シリコン薄膜として形成されたものとなっている。上記以外は、図6の半導体装置と全く同じ構成となっている。

【0080】より具体的に、図27の半導体装置では、基板にSOI (Silicon On Insulator) ウェハを用いており、このSOIウェハとしては、膜厚が2 $\mu$ mの下地酸化膜層42と膜厚が100nmのp型高抵抗シリコン層41を用いることができる。素子分離は、この高抵抗シリコン層41を島状にパターンニングすることによって行なうことができる。

【0081】このように、基板として、バルク単結晶シリコンの代わりにSOIウェハを使うことによって、デバイスや回路の寄生容量を大幅に低減したり、ショートチャンネル効果を抑制することができる。また、素子分離工程を簡略化できるので、工程数の削減および高集積

化に適している。特に、寄生容量の減少は、回路の高速動作を可能にし、かつ消費電力を低減することができるという点で、回路性能を大幅に向上させることができる。

【0082】また、多結晶シリコン薄膜5を形成するに際しての非晶質シリコン薄膜の作製方法としては、基板温度を低くすることによって非晶質膜を得るLPCVD法によるもの、あるいは、シリコン薄膜にイオン注入することによって非晶質化するイオン注入法がある。前者の成膜条件としては例えば、基板温度500℃、圧力0.1 Torr、 $\text{Si}_2\text{H}_6$ ガス流量200 SCCMとする。また、後者の注入条件としては例えば、注入エネルギー30 keV、ドーズ量 $1.0 \times 10^{17} \text{ cm}^{-2}$ とする。

【0083】このようにして作製した非晶質シリコン薄膜を、アニール炉中で固相成長させて、多結晶シリコン薄膜5とする。非晶質シリコン薄膜を固相成長させる時の条件としては、例えば、基板温度600℃、 $\text{N}_2$ ガス雰囲気、60時間とする。固相成長によって得られた多結晶シリコン薄膜5の結晶粒径は、数100nmから数 $\mu$ mとなり、図7に示したような通常の成膜方法で作製したものが数10nmであるのと比較してかなり大きくなる。この結果、第2ゲート電極8に印加する電圧に対して、多結晶シリコン半導体8の中における空乏層の広がり方は、従来の方法によって作製された多結晶シリコン薄膜中における空乏層の広がり方に比べて、より敏感になり、ドレイン電流を第2ゲート電極8によって、より精密にコントロールすることが可能となる。

【0084】このように、半導体基板のSOI化や、2つのゲート絶縁膜4、6に挟まれた多結晶シリコン薄膜8の膜質改善によって、本発明による半導体装置のデバイス性能をさらに向上させることができる。

【0085】また、図28は、図27の半導体装置により構成されたコンパレータの断面図である。この場合、図16、図17のコンパレータとは、基板が絶縁膜上のシリコン薄膜であるという点で異なっている。これ以外は、図28のコンパレータの構造は、図16、図17のコンパレータと全く同じである。

【0086】すなわち、図28のコンパレータでは、SOI (Silicon On Insulator) ウェハ80として、p型高抵抗シリコン層81の膜厚が100nm、下地酸化膜層82の膜厚が2 $\mu$ mのものを使用した。素子分離は、このシリコン層81を島状にパターンニングすることによって完了する。このように、バルク単結晶シリコンの代わりにSOIウェハを使うことによって、デバイスや回路の寄生容量を大幅に低減したり、ショートチャンネル効果を抑制することができる。また、素子分離工程がシンプルなので、工程数の削減および高集積化に適している。特に、寄生容量の減少は、回路の高速動作を可能にし、かつ消費電力を低減することができるという点で、回路性能の向上に対して大きな寄与をする。

【0087】このように、半導体基板をSOI構造にすることによって、本発明による新構造デバイスによって構成されたコンパレータの性能をさらに向上させることができる。

【0088】

【発明の効果】以上に説明したように、請求項1乃至請求項7記載の発明によれば、半導体基板と、半導体基板内に形成されたソース電極領域およびドレイン電極領域と、半導体基板上に設けられた第1のゲート絶縁膜と、第1のゲート絶縁膜上に設けられた半導体領域と、半導体領域上に設けられた第2のゲート絶縁膜と、第2のゲート絶縁膜上に設けられたゲート電極とを備え、半導体領域に接して半導体電極領域を備えており、半導体電極領域およびゲート電極に印加する電圧を各々独立に変えることが可能な構成となっているので、半導体電極領域に印加する電圧をゲート電極に印加する電圧と独立に変えることにより、ソース電極領域とドレイン電極領域との間の半導体基板表面に流れるドレイン電流の飽和電流値を制御することが可能となる。

【0089】また、請求項8乃至請求項10記載の発明によれば、請求項1乃至請求項7のいずれか一項に記載の半導体装置を用いてインバータ回路を構成しているので、このインバータ回路は、論理反転電圧を、前記半導体装置の半導体電極領域に印加する電圧を変えることによって制御することが可能である。

【0090】特に、請求項10記載の発明によれば、インバータ回路は、半導体装置として、nチャンネル型の半導体装置とpチャンネル型の半導体装置との互いに導電型の異なる複数の半導体装置が半導体基板上に形成され、互いに導電型の異なる複数の半導体装置によりコンプリメンタリーに構成されているので、動作性能の安定化および低消費電力化を図ることができ、よりLSI化に適した回路を提供することができる。

【0091】また、請求項11、請求項12記載の発明によれば、従来のMOSTランジスタと極めて類似した導電機構をもち、かつ、飽和ドレイン電流を変えることができる4端子素子である、pチャンネルおよびnチャンネルデバイスのコンプリメンタリーな組み合わせによってコンパレータが構成されているので、その構造は従来のものに比べて、はるかに単純であり、従来のコンパレータに比べて高性能のコンパレータを提供することができる。

【0092】また、請求項13記載の発明によれば、半導体基板は、絶縁膜上に設けられたシリコン薄膜であるので、コンパレータの性能をさらに向上させることができる。

【0093】また、請求項14記載のA/Dコンバータ回路は、請求項11、請求項12記載のコンパレータを備えていることから、高速、高精度に動作し、かつ電力の消費が少ないフラッシュ型A/Dコンバータを、高密

度でLSI上に作製することが可能となる。

【0094】このように、本発明によれば、従来のシリコンプロセスの範囲内で、高性能な飽和ドレイン電流制御デバイスを実現することができる。

【図面の簡単な説明】

【図1】本発明に係る半導体装置の構成例を示す斜視図である。

【図2】本発明に係る半導体装置の構成例を示す断面図である。

【図3】図1、図2の半導体装置の等価回路を示す図である。

【図4】本発明の半導体装置の動作原理を説明するためのドレイン電流特性( $V_h$ が大きい場合)を示す図である。

【図5】本発明の半導体装置の動作原理を説明するためのドレイン電流特性( $V_h$ が小さい場合)を示す図である。

【図6】本発明の半導体装置の具体例の構成図である。

【図7】図6に示した半導体装置の作製工程を示す図である。

【図8】図6の半導体装置のドレイン電流特性を示す図である。

【図9】図6の半導体装置の等価回路を示す図である。

【図10】本発明の半導体装置を用いたインバータ回路を示す図である。

【図11】互いにコンプリメンタリ(相補的)なnチャンネル型デバイスおよびpチャンネル型デバイスで構成されたインバータ回路の構成例を示す図である。

【図12】図11のインバータ回路の等価回路を示す図である。

【図13】図11のインバータ回路の入出力特性を示す図である。

【図14】図11のインバータ回路の論理反転電圧と第2ゲート電極に印加する電圧との関係を示す図である。

【図15】本発明の半導体装置によって構成されたコンパレータを示す図である。

【図16】本発明の半導体装置によって構成されたコンパレータの構成図である。

【図17】本発明の半導体装置によって構成されたコンパレータの構成図である。

【図18】本発明によるコンパレータの作製工程を示す図である。

【図19】本発明によるコンパレータの作製工程を示す図である。

【図20】図16、図17のコンパレータの入出力特性を示す図である。

【図21】図16、図17のコンパレータの論理反転電圧と第2ゲート電極に印加する電圧との関係を示す図である。

【図22】nビットのフラッシュ型A/Dコンバータの



構成図である。

【図23】フラッシュ型A/Dコンバータに用いられる従来のコンパレータの構成例を示す図である。

【図24】フラッシュ型A/Dコンバータの他の構成例を示す図である。

【図25】フラッシュ型A/Dコンバータの他の構成例を示す図である。

【図26】本発明のコンパレータを用いて構成されたフラッシュ型A/Dコンバータの構成図である。

【図27】図6の半導体装置の変形例を示す図である。

【図28】図16、図17のコンパレータの変形例を示す図である。

【図29】従来のMOSトランジスタの構成図である。

【図30】図29のMOSトランジスタの等価回路を示す図である。

【図31】図30のMOSトランジスタのドレイン電流とゲート電圧との関係を示す図である。

【図32】従来のCMOS構成のMOSインバータの構成図である。

【図33】従来のCMOS構成のMOSインバータの等価回路を示す図である。

【図34】従来のEEPROMの構成例を示す図である。

【図35】図34のEEPROMの等価回路を示す図である。

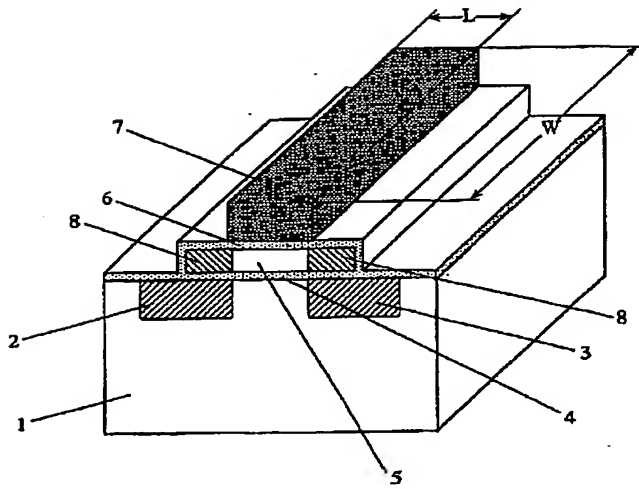
#### 【符号の説明】

1	半導体基板
2	ソース電極領域
3	ドレイン電極領域
4	第1のゲート絶縁膜
5	半導体領域
6	第2のゲート絶縁膜
7	ゲート電極
8	半導体電極領域
17	層間絶縁膜
18	ソース電極のアルミ電極配線
19	ドレイン電極のアルミ電極配線
20	ゲート電極のアルミ電極配線
21	第2ゲート電極のアルミ電極配線
22, 23, 24, 25	コンタクトホール
26, 27	フィールド酸化膜
29, 32	ボロンイオン

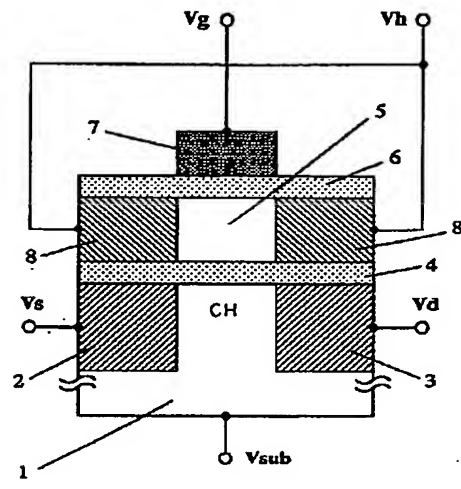
34
35
41
42
83
84
85
86
75
76
77
78
79
80
81
123
124
109, 110
111, 112
113, 114
115, 116
117, 118
119, 120
121, 122
127
128
129
130
131
132
133
134
135
136
138
139
140
141
142
143, 144
153
154
155

レジスト
リンイオン
SOIウェハのシリコン層
SOIウェハの下地酸化膜層
抵抗列
コンパレータ列
微分回路
エンコーダ
抵抗列
コンパレータ列
微分回路
エンコーダ
クロック発生回路
SOIウェハ
p型高抵抗シリコン層
p型シリコン基板
n型シリコン基板
ソース電極領域
ドレイン電極領域
シリコン酸化膜
多結晶シリコン薄膜
シリコン酸化膜
ポリシリコン電極
ポリシリコン電極
n型のシリコン基板
nウェル
pウェル
ソース
ドレイン電極領域
シリコン酸化膜
多結晶シリコン酸化膜
シリコン酸化膜
n <sup>+</sup> ポリシリコン電極
p <sup>+</sup> ポリシリコン電極
ソース
ドレイン電極領域
シリコン酸化膜
多結晶シリコン酸化膜
シリコン酸化膜
n <sup>+</sup> 型ポリシリコン電極
アルミ電極配線
層間絶縁膜
フィールド酸化膜

【図1】



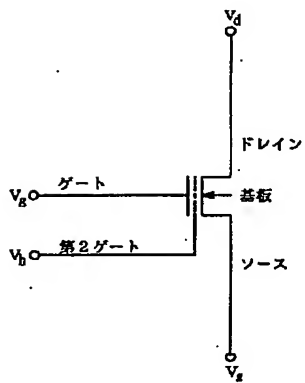
【図2】



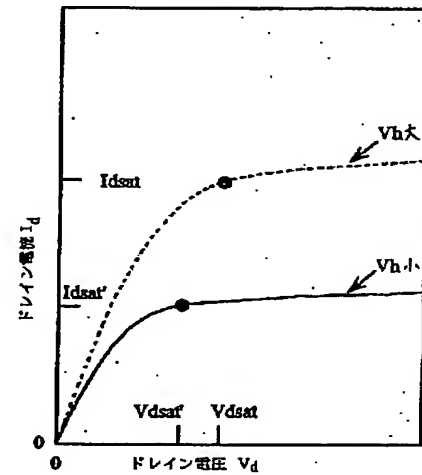
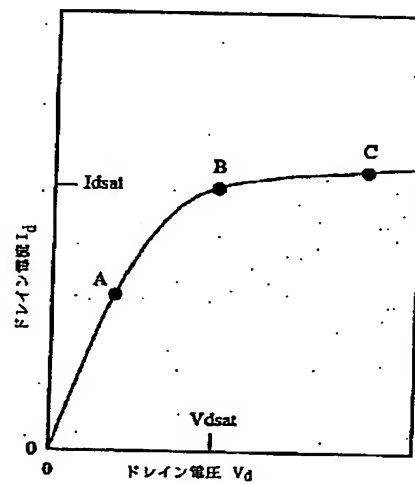
【図3】

【図4】

【図5】

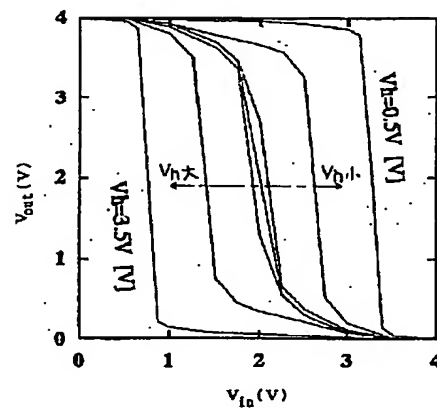
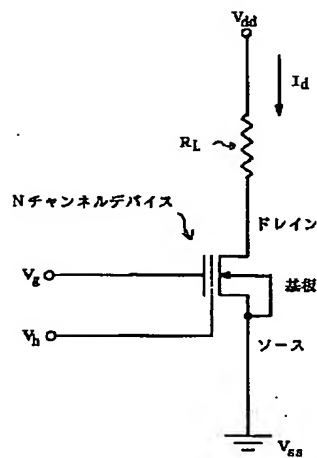
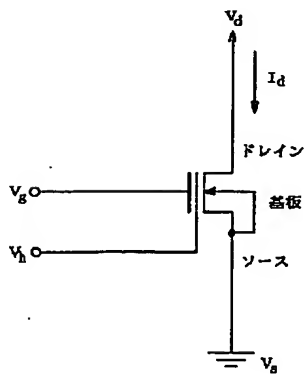


【図9】

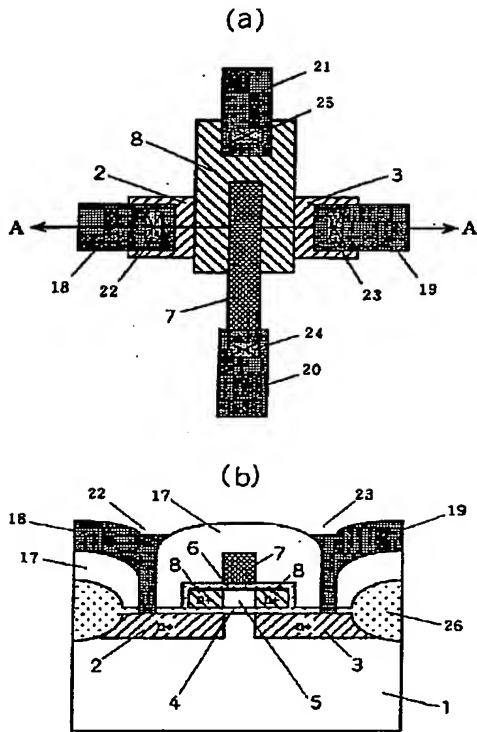


【図10】

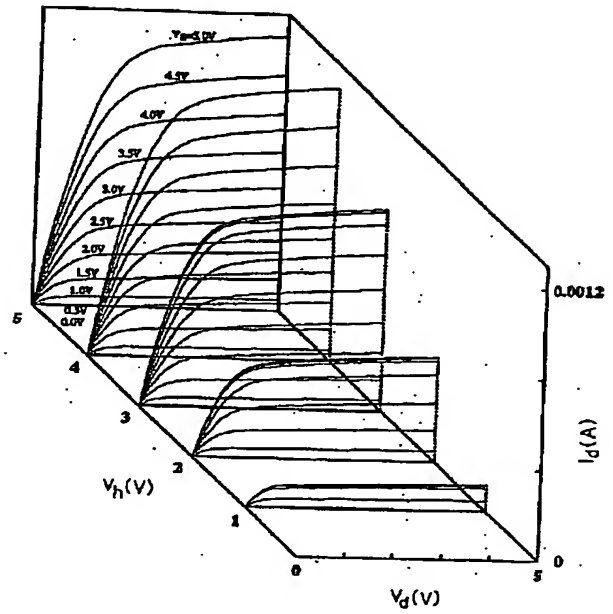
【図13】



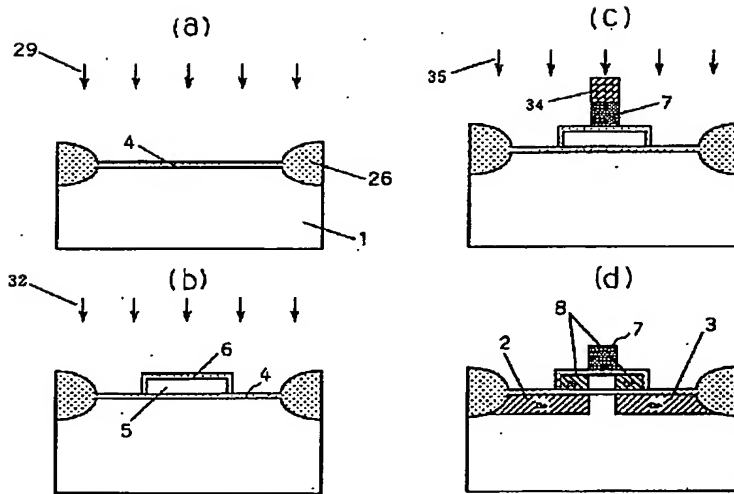
【図6】



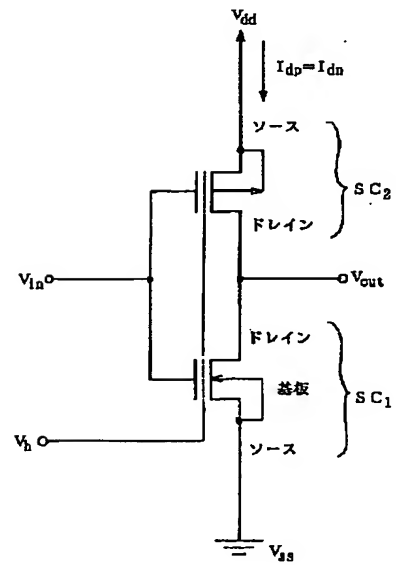
【図8】



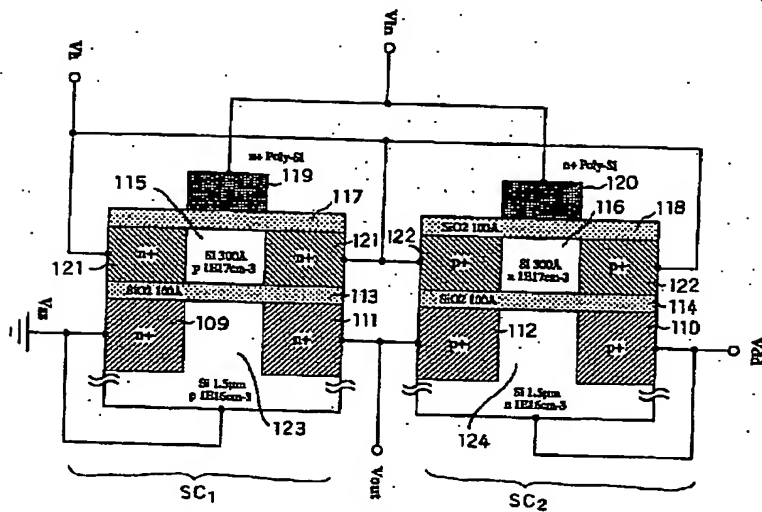
【図7】



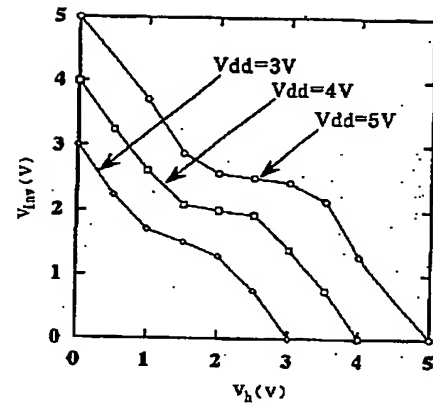
【図12】



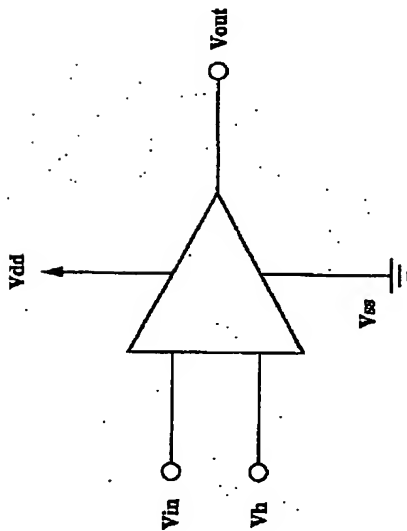
【図 11】



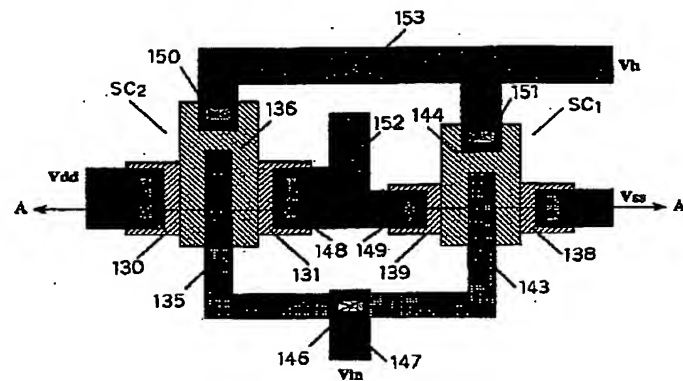
【図14】



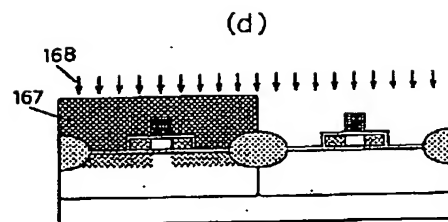
【図15】



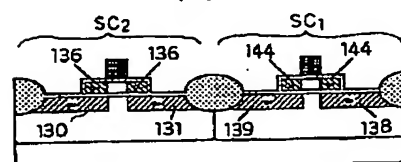
【図16】



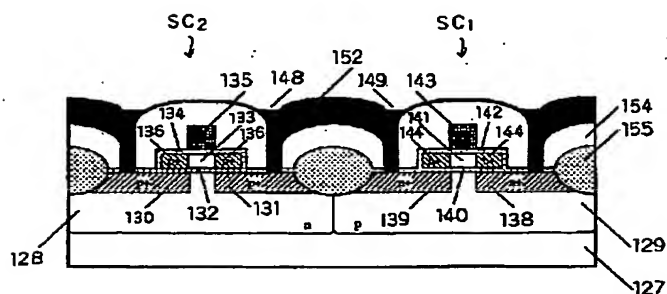
【図19】



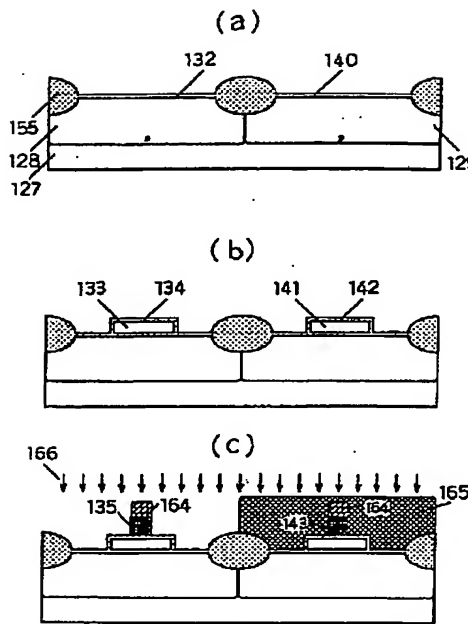
(e)



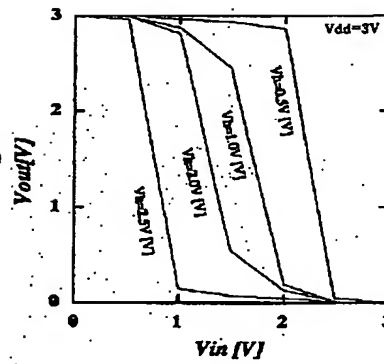
【図 17】



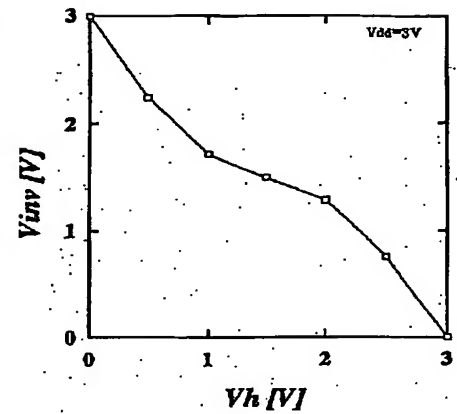
【図18】



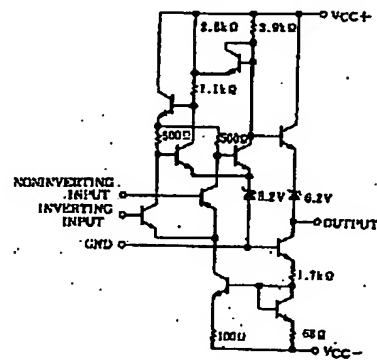
【図20】



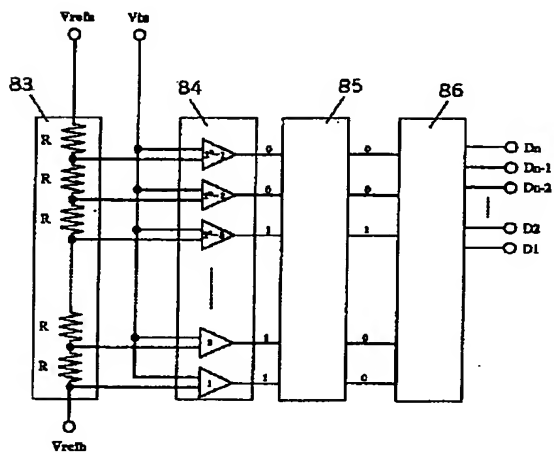
【図21】



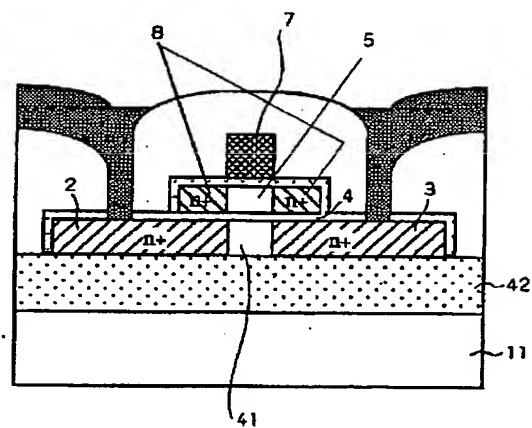
【図23】



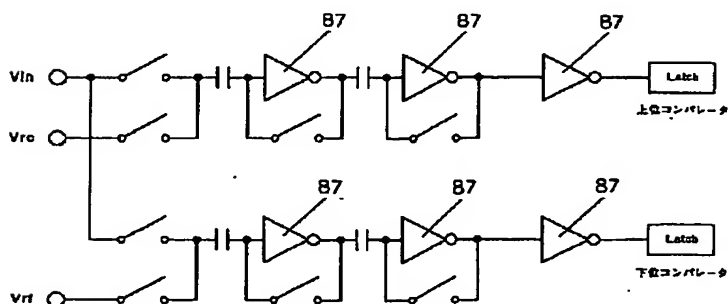
【図22】



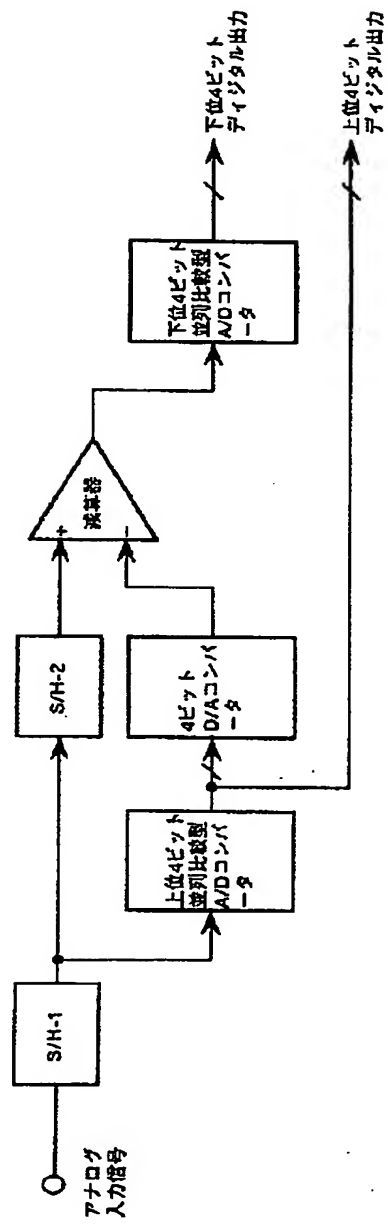
【図27】



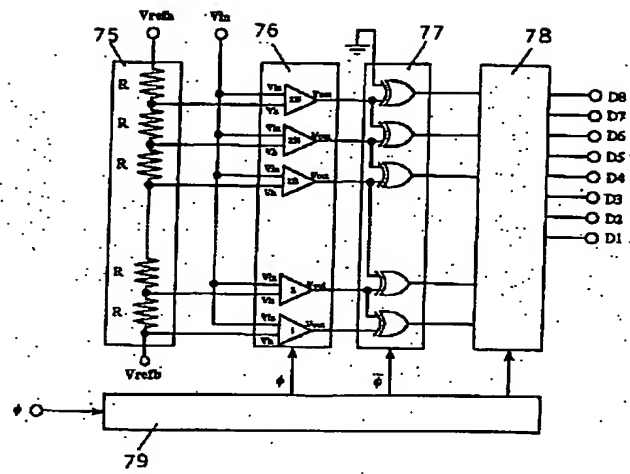
【図25】



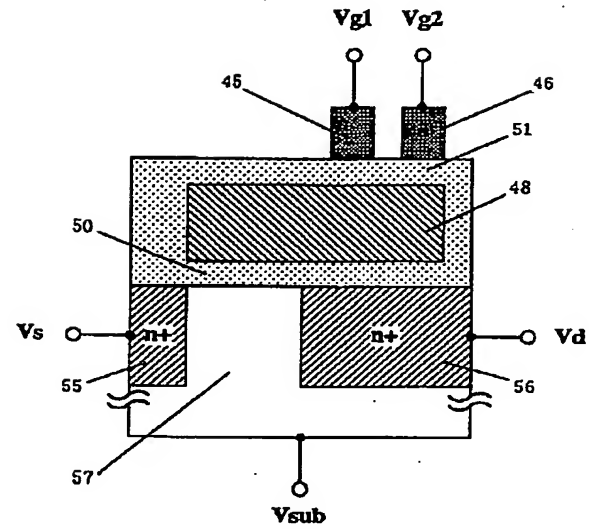
【図24】



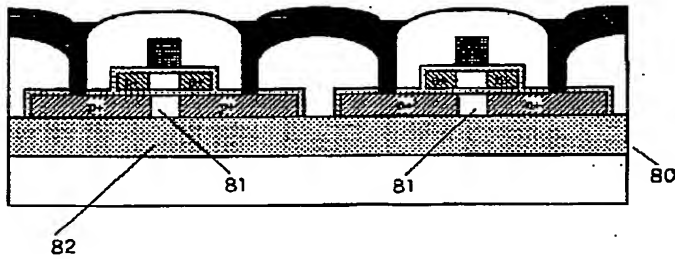
【図26】



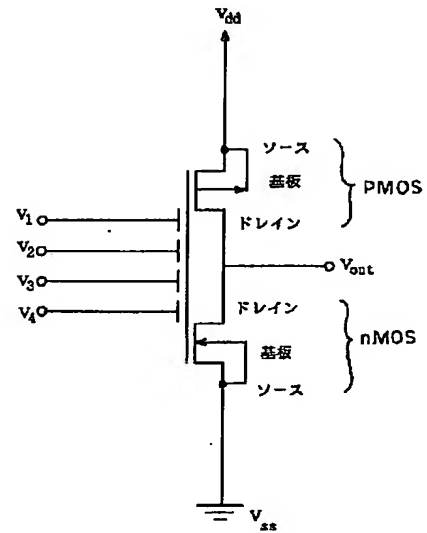
【図29】



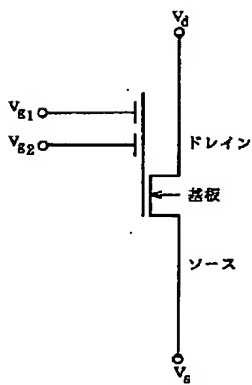
【図28】



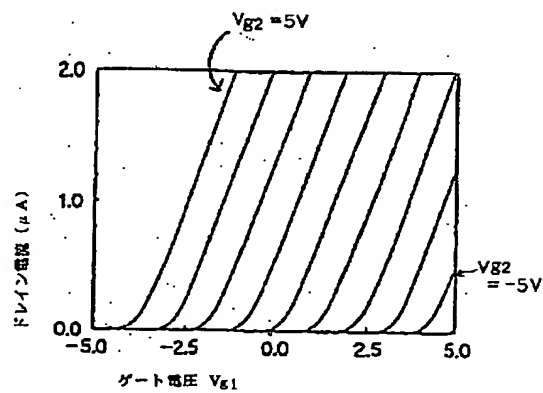
【図33】



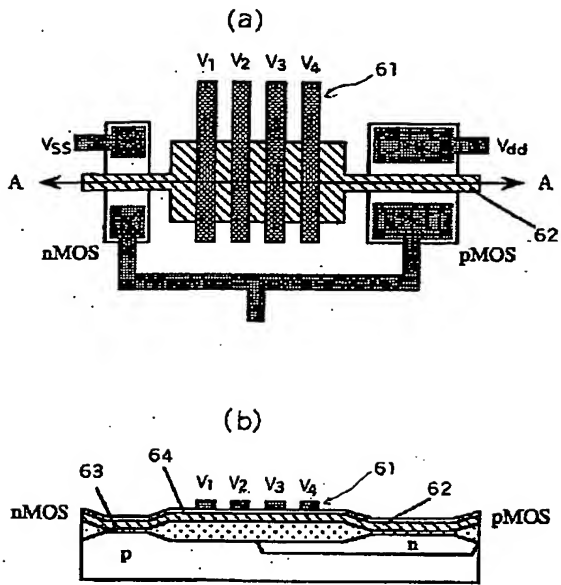
【図30】



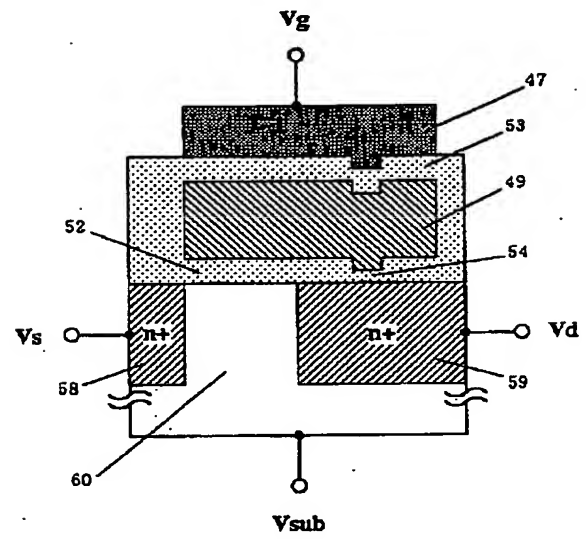
【図31】



【図32】



【図34】



【図35】

